

**TARJETA DE ADQUISICION Y GENERACION DE
SEÑALES ANALOGAS Y DIGITALES A TRAVES DE
PUERTO SERIE UNIVERSAL DESDE PC**

DANIEL ALEXANDER RODRIGUEZ MARIN

**UNIVERSIDAD SANTO TOMAS
FACULTAD DE INGENIERIA ELECTRONICA**

**BOGOTA D.C
2012**

**TARJETA DE ADQUISICION Y GENERACION DE
SEÑALES ANALOGAS Y DIGITALES A TRAVES DE
PUERTO SERIE UNIVERSAL DESDE PC**

DANIEL ALEXANDER RODRIGUEZ MARIN

**Proyecto de grado como requisito
Para optar al titulo de Ingeniero Electrónico**

**Director
Ing. DANILO ANDRES GARCIA**

**UNIVERSIDAD SANTO TOMAS
FACULTAD DE INGENIERIA ELECTRONICA
BOGOTA D.C
2012**

NOTA DE ACEPTACION

El trabajo de grado titulado "TARJETA DE ADQUISICION Y GENERACION DE SEÑALES ANALOGAS Y DIGITALES A TRAVES DE PUERTO SERIE UNIVERSAL DESDE PC", presentado por el estudiante Daniel Rodriguez Marin ha sido aprobado por el director del mismo para optar el título de INGENIERO ELECTRONICO, de acuerdo con lo estipulado por la Facultad de Ingeniería Electrónica de la Universidad Santo Tomas.

Ing. Danilo Andrés Garcia
Director

Nota de aceptación:

Firma del presidente del jurado

Firma del jurado

Firma del jurado

Bogotá, 20 de Agosto de 2012

ADVERTENCIA

La Universidad Santo Tomás no se hace responsable de las opiniones y conceptos expresados por los autores en el trabajo de grado, sólo velará porque no se publique nada contrario al dogma ni a la moral católica y porque el trabajo no tenga ataques personales y únicamente se vea el anhelo de buscar la verdad científica.

Capítulo III – Artículo 46 del Reglamento de la Universidad Santo Tomás

ÍNDICE DE CONTENIDO

	Pag
GENERALIDADES	12
INTRODUCCIÓN	13
1.1 ANTECEDENTES	13
1.2 DESCRIPCION DEL PROBLEMA	14
1.3 JUSTIFICACION	14
1.4 OBJETIVOS	16
1.4.1 Objetivo general	16
1.4.2 Objetivos específicos	16
MARCO DE REFERENCIA	17
2.1. ADQUISICION DE DATOS (DAQ)	17
2.2 BUS SERIE UNIVERSAL (USB)	17
2.3 FPGA	18
ARQUITECTURA PARA EL DESARROLLO DE UNA TARJETA DE ADQUISICION Y GENERACION DE SEÑALES	19
3.1 ARQUITECTURA DEL SISTEMA	19
3.2 FAMILIA DE FPGAs SPARTAN-3A	20
3.2.1 Dispositivos FPGA Spartan	20
3.2.2 Descripción de la arquitectura	21
3.3 SISTEMA DE CONFIGURACION PROGRAMABLE PLATAFORMA FLASH-PROM	22
3.3.1 Descripción	23
3.3.2 Diagramas	23

3.4 MEMORIA RAM	25
3.4.1 Descripción funcional	25
3.4.2 Arquitectura	26
3.5 INTERFAZ FT245R USB FIFO I.C.	27
3.5.1 Características	27
3.5.2 Diagrama en bloques simplificado	29
3.6 ADC	29
3.6.1 Descripción	29
3.6.1 Diagrama en bloques	30
3.7 CIRCUITO ATENUADOR DE VOLTAJE	31
3.8 DAC	31
3.8.1 Descripción	31
3.8.1 Diagrama en bloques	32
3.9 CIRCUITO AMPLIFICADOR DE VOLTAJE	33
DISEÑO HARDWARE ETAPA 1	34
4.1 DIAGRAMA EN BLOQUES	34
4.2 ESQUEMATICO EN PS ORCAD	35
4.3 DESARROLLO PCB, FOOTPRINTS Y RUTEO	40
4.4 ENSAMBLE Y DESCRIPCIÓN	43
4.4.1 Regulador de voltaje	44
4.4.2 Osciladores	44
4.4.3 Alimentación 5V DC, y selector de encendido	45
4.4.4 Puerto USB	45
4.4.5 Puerto de programación JTAG y memoria ROM	46

4.4.6 Iniciar desde JTAG o ROM	46
4.4.7 Puertos	47
4.4.7.1 PUERTO J1	47
4.4.8 Display	50
4.4.9 Dipswitches	51
DISEÑO DESCRIPCION DE HARDWARE 1	52
5.1 ESQUEMA GENERAL DEL SISTEMA DE COMUNICACION	52
5.1.1 Transmisión de datos PC-Tarjeta	53
5.1.2 Transmisión de datos Tarjeta-PC	53
5.2 ARQUITECTURA DEL SOFTWARE	54
5.2.1 Comunicación PC-Tarjeta	55
5.2.2 Comunicación Tarjeta-PC	55
5.3 INTERFAZ DE LECTURA FTDI	55
5.5 INTERFAZ DE LECTURA RAM	59
5.6 INTERFAZ DE ESCRITURA RAM	61
DISEÑO HARDWARE ETAPA 2	63
6.1 DIAGRAMA EN BLOQUES	63
6.2 ESQUEMATICO EN PS ORCAD (etapa 2)	64
6.3 DESARROLLO PCB, FOOTPRINTS Y RUTEO (etapa 2)	68
6.4 ENSAMBLE Y DESCRIPCION (etapa 2)	69
6.4.1 Entradas Análogas (CH1 y CH2)	70
6.4.2 Fuente Inversora	70
6.4.3 Salida Análoga	71
6.4.4 Puerto J1 (etapa 2)	72

CONCLUSIONES	74
REFERENCIAS	75
GLOSARIO	76

ÍNDICE DE FIGURAS

	Pag
Fig 3.1 Arquitectura Sistema de Adquisición y Generación de Datos	19
Fig 3.2 Arquitectura FPGA Spartan-3A	22
Fig 3.3 Diagrama en bloques Plataforma Flash PROM XCFxxS	23
Fig 3.4 Diagrama en bloques Plataforma Flash PROM XCFxxP	24
Fig 3.5 Diagrama en bloques Static RAM	26
Fig 3.6 Diagrama en bloques FT245R	29
Fig 3.7 Diagrama en bloques ADS2807	30
Fig 3.8 Acoplamiento en DC con cambio de nivel	31
Fig 3.9 Diagrama en bloques DAC900	32
Fig 3.1 Amplificador en Modo Diferencial, Obtiene Conversión Single - Ended Conversión y Acoplamiento DC	33
Fig 4.1 Hardware Etapa 1	34
Fig 4.2 Esquemático 1 (Conectores)	35
Fig 4.3 Esquemático 2 (Display y Dipswitches)	36
Fig 4.4 Esquemático 3 (Reguladores de Voltaje)	36
Fig 4.5 Esquemático 4 (Configuración FPGA y JTAG)	37
Fig 4.6 Esquemático 5 (FTDI Y RAM)	38
Fig 4.7 Esquemático 6 (FPGA I/O, VCC, GND y Osciladores)	39
Fig 4.8 Top Layer (Etapa 1)	41
Fig 4.9 Bottom Layer (Etapa 1)	41
Fig 4.10 Top Screen Layer (Etapa 1)	42
Fig 4.11 Top Board (Etapa 1)	42
Fig 4.12 Bottom Board (Etapa 1)	43

Fig 4.13 Tarjeta (Etapa 1)	43
Fig 4.14 Reguladores	44
Fig 4.15 Osciladores	44
Fig 4.16 Alimentación	45
Fig 4.17 Puerto USB	45
Fig 4.18 Interfaz FTDI	46
Fig 4.19 Selector de inicio de programación	46
Fig 4.20 Distribución Conector 40 Pines	47
Fig 4.21 Puerto J1	48
Fig 4.22 Puerto J2	49
Fig 4.23 Display	50
Fig 4.24 PinOut Dígitos	51
Fig 4.25 PinOut Segmentos	51
Fig 4.26 Dipswitches	51
Fig 4.27 PinOut Dipswitches	51
Fig 5.1 Esquema General de Comunicación	52
Fig 5.2 Esquema de Programa	54
Fig 5.3 Programa VHDL (esquemático)	54
Fig 5.4 Diagramas de tiempos lectura FIFO FT245R	55
Fig 5.5 Maquina de Mealy para lectura FIFO	56
Fig 5.6 Modulo VHDL para lectura FIFO	57
Fig 5.7 Diagrama de tiempos escritura FIFO FT245R	57
Fig 5.8 Maquina de Mealy para escritura FIFO	58
Fig 5.9 Modulo VHDL para escritura FIFO	59
Fig 5.10 Diagrama de tiempos lectura RAM	59
Fig 5.11 Modulo VHDL para Lectura RAM	60
Fig 5.12 Diagrama de tiempos escritura RAM	61
Fig 5.13 Maquina de estados Mealy para escribir la RAM	61
Fig 5.14 Modulo VHDL para Escritura RAM	62
Fig 6.1 Modulo Conversor	63
Fig 6.2 Esquemático 1 (Entrada Análoga CH1)	64
Fig 6.3 Esquemático 2 (Entrada Análoga CH2)	65

Fig 6.4 Esquemático 3 (ADC)	66
Fig 6.5 Esquemático 4 (DAC y Amplificador de Salida)	67
Fig 6.6 Esquemático 5 (Conector y Fuente Inversora)	67
Fig 6.7 Top Layer (Etapa 2)	68
Fig 6.8 Bottom Layer (Etapa 2)	68
Fig 6.9 Silkscreen Top Layer (Etapa 2)	69
Fig 6.10 Tarjeta (Etapa 2)	69
Fig 6.11 Canales de entrada (CH1 Y CH2)	70
Fig 6.12 Esquema Típico de Tensión, Aplicación Inversora	71
Fig 6.13 Fuente Inversora	71
Fig 6.14 Salida Análoga	72
Fig 6.15 Puerto JI (etapa 2)	72

ÍNDICE DE TABLAS

	Pag
Tabla 4.1 PinOut conector J1	48
Tabla 4.2 PinOut conector J2	49
Tabla 5.1 Ciclo de tiempos lectura FIFO	56
Tabla 5.2 Ciclo de tiempos escritura FIFO	58
Tabla 5.1 PinOut conector J1 (etapa 2)	73

GENERALIDADES

El presente trabajo, esta dirigido a todos los estudiantes de ingeniería electrónica y telecomunicaciones de la Universidad Santo Tomas con el único objetivo de lograr un ejercicio didáctico en el aprendizaje, ofreciendo un aporte y complemento a las herramientas que la universidad brinda al estudiante para garantizarle una excelente formación profesional.

Pensando en las necesidades que surgen en el transcurso de la carrera cursando algunas materias, se desarrolló un instrumento que le permite al estudiante afianzar los conocimientos teóricos vistos en clase y despertar una motivación por la creación de nuevos diseños para sistemas electrónicos que hagan posible la vida del ser humano mas fácil y eficiente, cumpliendo así con el deber que tiene el ingeniero de la Universidad Santo Tomas de aportar positivamente al desarrollo social y económico de nuestro país.

INTRODUCCIÓN

Con el objeto de trabajar en los laboratorios de Electrónica y Telecomunicaciones de la universidad Santo Tomas con paquetes de Software especializados como MatLab y LabView, el proyecto se orientó al diseño y fabricación de la interfaz de hardware necesaria para interconectar estos paquetes hacia el exterior del PC. En la actualidad los sistemas interconectados al PC desarrollados por los estudiantes dentro de las diferentes asignaturas cada día va en aumento, ya sea para análisis o generación de señales.

Existen algunas tarjetas adquiridas directamente de proveedores norteamericanos, pero la viabilidad de reparación ante los inevitables daños que estas presentan ya sea por desinformación en su uso, malas conexiones o accidentes durante su operación es escasa, dicha reparación es altamente costosa tanto desde el punto de vista económico, como desde el punto de vista de tiempos de respuesta desde los proveedores.

La tarjeta que se diseñó y fabricó como finalidad del presente proyecto, es una tarjeta externa al PC cuya interfaz es a través del protocolo Universal Serial Bus (USB), para que así se disminuyan las posibilidades de daños al PC que se conecte e incluya también a los computadores portátiles como máquinas de trabajo.

1.1 ANTECEDENTES

La adquisición de datos es el punto de partida para lograr el tratamiento digital que se puede aplicar a las señales eléctricas. De manera similar, la generación de señales análogas o digitales, es requerida para aplicarse en algunos sistemas y hacer pruebas sobre diseños de circuitos electrónicos en desarrollo, evitando usar generadores externos.

Este proyecto surgió a partir de la propuesta de desarrollar tarjetas de generación y adquisición de datos para las Facultades de Ingeniería Electrónica e Ingeniería de Telecomunicaciones de la Universidad Santo Tomas.

El primer paso en el diseño y construcción de un sistema de generación y adquisición de datos es resolver la comunicación entre el computador y el hardware o tarjeta desarrollada. En este caso, se realizó esta comunicación por medio de la interfaz USB FT245R, un dispositivo que maneja el protocolo USB en su totalidad.

En segunda instancia, se utilizó un dispositivo de alta velocidad que controla el funcionamiento de la interfaz USB y los demás componentes de la tarjeta como son: ADC's, DAC's, memoria RAM, circuito seguidor, atenuador y elevador de voltaje. Teniendo en cuenta estos requisitos, se escogió un FPGA o arreglo de compuertas lógicas programables en campo, en el cual se encuentra un circuito lógico combinacional y secuencial[1].

1.2 DESCRIPCION DEL PROBLEMA

A pesar de que existen fabricantes de sistemas de adquisición de datos para propósitos industriales, principalmente estos resultan ser una inversión costosa tanto por su adquisición como por el mantenimiento correctivo. Esto motivó la configuración del proyecto para la fabricación de una tarjeta de bajo costo que permita adquirir, analizar y generar señales acoplándola a una interfaz gráfica por medio de un PC de manera rápida y sencilla.

1.3 JUSTIFICACION

Los estudiantes de ingeniería electrónica y telecomunicaciones, cursan materias en las cuales tienen la necesidad de adquirir tratar y generar señales eléctricas, desafortunadamente los equipos con los que cuentan los laboratorios son equipos de alto costo y tecnología importada, por ello no se conoce su diseño ni forma de repararlos. Es por esto que fue necesario el desarrollo de un sistema que permita suplir estas necesidades, un sistema de bajo costo y a la vez que sea sencilla su reparación en caso de fallas por mal uso o deterioro de componentes.

Actualmente los puertos paralelo y serial RS232 han comenzado a desaparecer con la llegada de los equipos portátiles. Por esta razón es imprescindible que las nuevas tarjetas se puedan acoplar a los sistemas de cómputo por medio del puerto USB. Utilizando este puerto es posible lograr una alta velocidad de transmisión en los procesos de muestreo y generación de señales.

Este trabajo trae entre otros los siguientes beneficios:

- ✓La realización de las tarjetas como proyecto de investigación en la modalidad desarrollo tecnológico, productivo o empresarial.
- ✓Se gana muchísimo, puesto que el conocimiento queda al interior de la Universidad permitiendo fortalecer con este sistema el área de sistemas digitales dentro del currículo.

- ✓ En caso de daño de las tarjetas, la reparación será local involucrando menores costos y mejores tiempos de respuesta.

Desde todo punto de vista la comunidad académica se fortalece en varios aspectos:

- ✓ Gana experiencia en el diseño de sistemas de adquisición de datos.
- ✓ Gana experiencia en la diseño de tarjetas electrónicas al interior de la universidad.
- ✓ A futuro se ahorra dinero en la reparación de las tarjetas que sufran algún daño.
- ✓ Se beneficia la comunidad académica con elementos que han de servir en pro de la didáctica para las diferentes asignaturas.
- ✓ Se participa en proyectos o concursos de desarrollo tecnológico.
- ✓ Se tiene localmente la capacitación para el adecuado uso y reparación de las tarjetas.
- ✓ Surgen documentos que se pueden publicar como producción de la universidad.
- ✓ A futuro de este proyecto se derivan otros proyectos con alcances similares e inclusive superiores.
- ✓ Se genera material para exponer en eventos académicos.
- ✓ Se crea material didáctico para el uso en la academia en las facultades de ingeniería electrónica e ingeniería de telecomunicaciones principalmente.

1.4 OBJETIVOS

1.4.1 Objetivo general

Diseñar una tarjeta electrónica que permita la generación y adquisición de señales análogas y digitales a través de puerto serie universal desde PC.

1.4.2 Objetivos específicos

- ✓ Lograr una comunicación bidireccional entre la tarjeta desarrollada y el PC por medio de una comunicación USB (Universal Serial Bus).
- ✓ Utilizar el lenguaje de descripción de hardware (VHDL) para la programación del FPGA en la tarjeta.
- ✓ Realizar adquisición y generación de señales.
- ✓ Proveer manuales de usuario.
- ✓ Aportar los criterios de diseño a la comunidad estudiantil.
- ✓ Máxima frecuencia de muestreo en adquisición: 25MHz
- ✓ Velocidad de comunicación Protocolo USB: 300kbps
- ✓ Máxima frecuencia de muestreo para generación de señales: 20MHz

MARCO DE REFERENCIA

2.1. ADQUISICION DE DATOS (DAQ)

Restringiéndose a la palabra adquisición, se puede definir como la captura de datos de origen tanto análogo como digital, posterior a esto el almacenamiento y procesamiento de estos, se involucra hoy día en sistemas de avanzado desempeño tanto a nivel computacional de hardware como software. Además de la captura, almacenamiento y procesamiento de datos, los sistemas actuales también incluyen etapas de lógica para la generación de señales, conteo de eventos, contabilización de tiempos, etc., los cuales complementan la funcionalidad del sistema.

1

2.2 BUS SERIE UNIVERSAL (USB)

El bus serie universal, USB por sus siglas en ingles, es un puerto que ha remplazado a los puertos serie RS232 y paralelo en los computadores actuales tanto de escritorio como portátiles.

La importancia del puerto USB se ratifica en las siguientes aseveraciones:

El puerto USB 1.0 remplazo totalmente al Gameport.

El puerto USB 2.0 compite actualmente en el mercado contra el puerto FireWire.

El puerto USB 3.0 compite en altas velocidades de transmisión contra el puerto eSATA (“External Serial Advanced Technology”). Es el preferido por la industria tecnológica como sustituta de los actuales estándares de conexión, ya que permite una mayor velocidad de transferencia y prestaciones idóneas para conectar una nueva gama de dispositivos más complejos y rápidos, como los discos duros externos SSD.

Actualmente el USB cursa su versión 3.0.

Características de la versión 3.0:

- El USB 3.0 se ha denominado SuperSpeed USB el cual tiene 5 Gbps de frecuencia de señalización llegando a ser 10 veces la del Hi-Speed USB (versión 2.0).

¹ Tomado de: http://es.wikipedia.org/wiki/Universal_Serial_Bus

- SuperSpeed USB es una tecnología la cual minimiza los tiempos de espera del usuario.
- SuperSpeed USB provee eficiencia optimizada de potencia.
- SuperSpeed USB es compatible con dispositivos USB 2.0.

²

Características del puerto USB:

- La versión USB 1.0 Aparece en el mercado, junto con el lanzamiento del microprocesador Intel Pentium II en 1997.
- Cada puerto, permite conectar hasta 127 dispositivos externos, pero solo se recomiendan como máximo 8, porque se satura la línea del puerto y se satura el sistema al tener que administrarse todos simultáneamente.
- Cuenta con tecnología “Plug&Play” la cual, permite conectar, desconectar y reconocer dispositivos sin necesidad de reiniciar o apagar la computadora.
- Las versiones USB 1.X y USB 2.0 transmiten en un medio HalfDuplex en donde los datos, solamente se envía o recibe datos en un sentido a la vez, mientras que la versión USB 3 cuenta con un medio FullDuplex que permite enviar y recibir datos de manera simultánea.
- A pesar de que el puerto USB 3, esta actualmente integrado ya en algunas placas de nueva generación, aun no hay dispositivos comerciales/populares para esta tecnología.

Es por estas características que este puerto ha ganado tanta popularidad que ya la mayoría de fabricantes de electrónica de consumo lo han incluido en sus dispositivos. Además, es ahora el puerto por excelencia para integrar la mayoría de instrumentos de medición desde el PC.

La tarjeta realizada en este proyecto de igual manera lo ha adoptado por la conveniencia que se tiene para la descarga y subida de datos entre el PC y esta, para lograrlo se utilizó el integrado FTDI 245R.

2.3 FPGA

Un FPGA cuyas siglas en inglés traduce “Arreglo de Compuertas Programables en Campo” es un circuito integrado que posee módulos de lógica con una funcionalidad programable. Esta funcionalidad puede generar desde sencillas funciones como una compuerta lógica o un sistema combinacional hasta complejos sistemas de procesamiento de señales DSPs. Un FPGA tiene la gran ventaja de poderse reprogramar, lo que le brinda al diseñador una inmensa flexibilidad en el flujo de trabajo. Estos sistemas surgen como una gran evolución de conceptos desarrollados en los PAL y los CPLD.

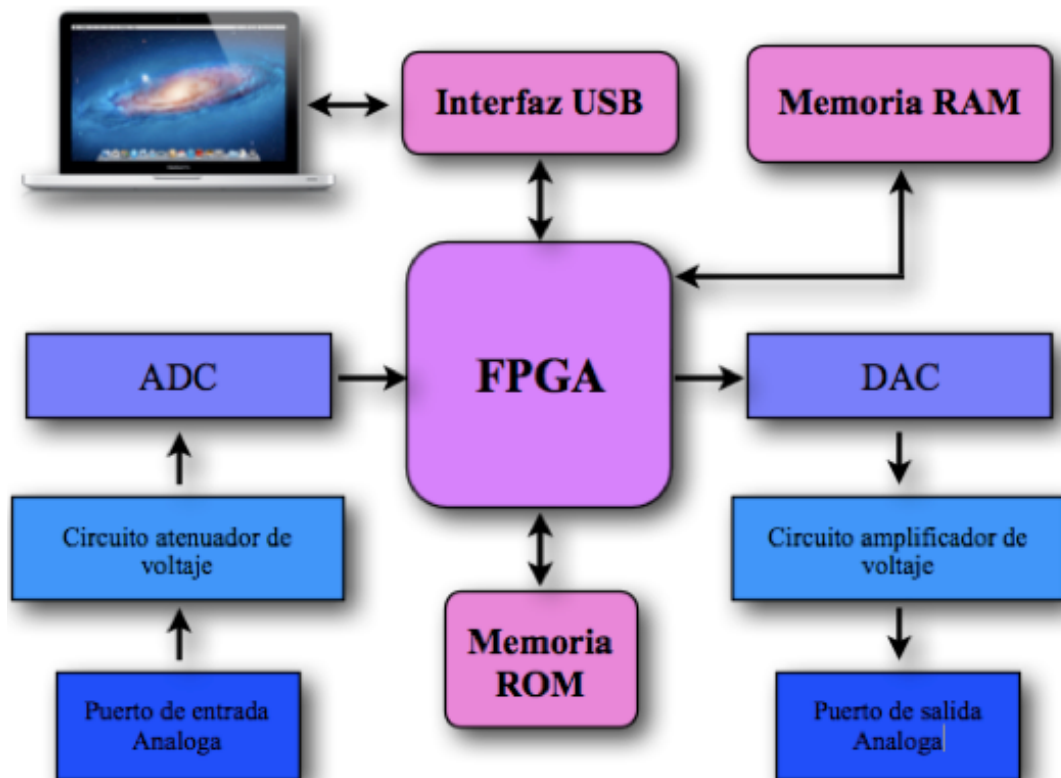
² Basado en: http://en.wikipedia.org/wiki/Field-programmable_gate_array

ARQUITECTURA PARA EL DESARROLLO DE UNA TARJETA DE ADQUISICIÓN Y GENERACION DE SEÑALES

En esta sección se expone la arquitectura básica de una tarjeta de adquisición y generación de señales. Esta arquitectura está fundamentada en algunas necesidades que los estudiantes tienen en el momento de trabajar con señales análogas y digitales. Además se describen las funciones que cumple cada uno de los sistemas que lo componen.[1]

3.1 ARQUITECTURA DEL SISTEMA

Figura 3.1. Arquitectura Sistema de Adquisición y Generación de Datos



3.2 FAMILIA DE FPGAs SPARTAN-3A

Para este desarrollo, se trabajó con el IC XC3S50A de la familia Spartan 3A FPGA's. Este dispositivo es el que controla cada uno de los componentes de la tarjeta que hacen posible:

- ✓Comunicación bidireccional con el PC.
- ✓Almacenamiento de datos.
- ✓Conversión análogo-digital.
- ✓Conversión digital-análogo.

3.2.1 Dispositivos FPGA Spartan

La familia Spartan ®-3A de arreglos de compuertas programables (FPGAs) resuelve los grandes retos de diseño con gran eficiencia a un bajo costo. La familia de cinco miembros ofrece densidades que oscilan de 50.000 a 1.4 millones de compuertas lógicas.[5]

Los FPGAs Spartan-3A son parte de la extendida familia Spartan-3A, que también incluyen la Spartan-3AN no-volátil y la mayor densidad de Spartan-3A DSP FPGAs. La familia Spartan-3A se basa en el éxito de las primeras familias de FPGAs Spartan-3E y Spartan-3. Las nuevas características mejoran el rendimiento del sistema y reducen el costo de configuración. Estas mejoras de la familia Spartan-3A, combinado con la probada tecnología de procesos 90 nm, entregan una mayor funcionalidad y ancho de banda como nunca antes, estableciendo un nuevo estándar en la industria de la lógica programable.

Debido a su costo excepcionalmente bajo, los FPGAs Spartan-3A son ideales para una amplia gama de productos electrónicos y aplicaciones de consumo, incluyendo el acceso de banda ancha, redes domésticas, proyección, y televisión digital.

La familia Spartan-3A es una alternativa superior para enmascarar programación ASIC. Los FPGAs evitan el alto costo inicial, los ciclos largos de desarrollo, y la inflexibilidad inherente de los convencionales ASIC, permitiendo actualizaciones de permisos en el campo del diseño.

3

³ Basado en: http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf

3.2.2 Descripción de la arquitectura

La arquitectura de la familia Spartan-3A consta de cinco elementos funcionales y programables:

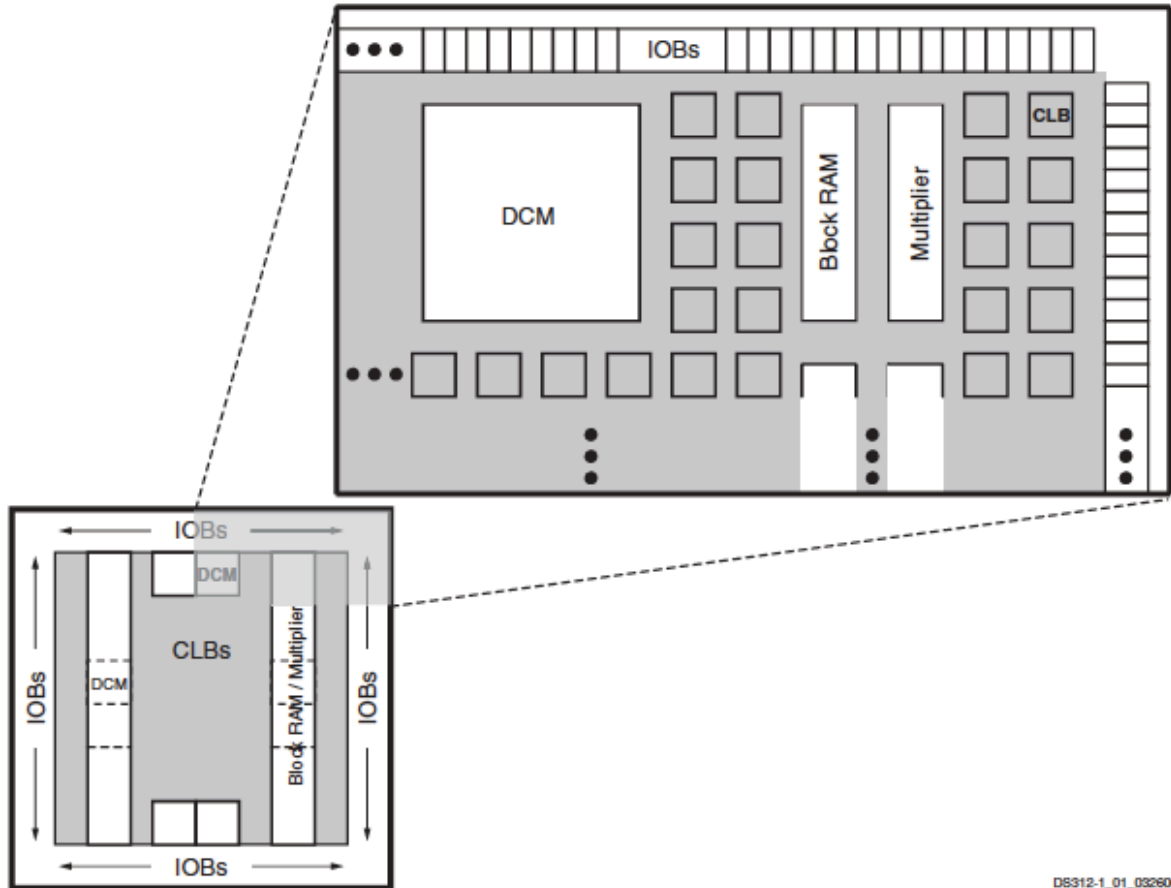
- Los bloques lógicos configurables (CLB) contienen Tablas de referencia flexibles (LUT) que implementan la lógica más elementos de almacenamiento utilizados como flip-flops o latches. Los CLBs realizan una amplia variedad de funciones lógicas, así como almacenar datos.
- Los bloques de Entrada y salida (IOBs) controlan el flujo de datos entre los pines de I/O y la lógica interna del dispositivo. Los IOBs soportan el flujo de datos bidireccional, más tres del estado operacional. Soportan una variedad de estándares de señal, entre ellos varias normas de alto rendimiento diferencial. Registros de doble tasa de datos (DDR), están incluidos.
- El bloque RAM proporciona almacenamiento de datos en forma de 18-Kbit bloques de doble puerto.
- Los bloques multiplicadores aceptan dos números binarios de 18 bits como entradas y calculan el producto.
- El bloque administrador de reloj digital (DCM) ofrece auto-calibración, soluciones completamente digitales para la distribución, retrasar, multiplicar, dividir, y de cambio de fase de las señales de reloj.

Estos elementos están organizados como se muestra en la Figura 3.2. Un doble anillo de IOBs escalonados rodea una matriz regular de CLB. Cada dispositivo tiene dos columnas de bloques RAM excepto por el XC3S50A, que tiene una columna. Cada columna de RAM consta de varios bloques RAM de 18-Kbit. Cada bloque de memoria RAM es asociado con un multiplicador dedicado. Los DCMs están posicionados en el centro con dos en la parte superior y dos en el parte inferior del dispositivo. El XC3S50A tiene DCMs sólo en el la parte superior, mientras que el XC3S700A y XC3S1400A añade dos DCMs en el medio de las dos columnas de bloques RAM y los multiplicadores.

La familia Spartan-3A cuenta con una rica red de enrutamiento que interconecta todos los cinco elementos funcionales, transmitiendo las señales entre ellos. Cada elemento funcional tiene asociado una matriz conmutable que permite múltiples conexiones en el enrutamiento.⁴

⁴ Basado en: http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf

Figura 3.2. Arquitectura FPGA Spartan-3A



DS312-1_01_032806

Tomado de: http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf

3.3 SISTEMA DE CONFIGURACION PROGRAMABLE PLATAFORMA FLASH-PROM

Fue indispensable la integración de una memoria ROM , ya que este sistema es el encargado de guardar la programación para el funcionamiento del FPGA y la carga una vez la tarjeta es energizada. El circuito integrado que se escogió para cumplir esta tarea es el XCF01S de XILINX.⁵

⁵ Basado en: http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf

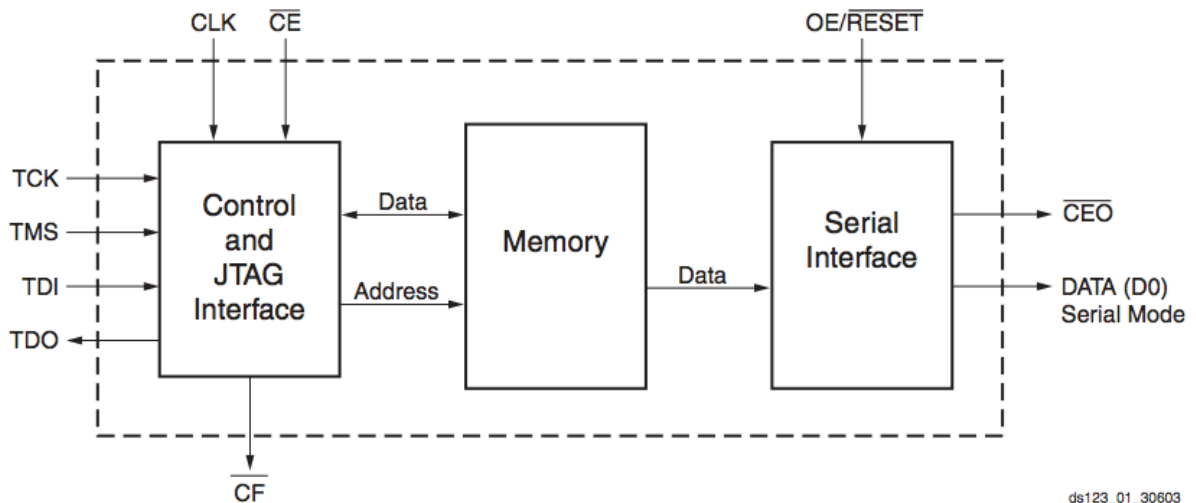
3.3.1 Descripción

Xilinx presenta las series de plataformas Flash en sistema de configuración programables PROMs. Disponible en capacidad de almacenamiento de 1 a 32 Mb, estos PROMs son fácil de usar, rentables, y proporcionan un método reprogramable para configuraciones bitstream de la FPGA Xilin. Las series de plataformas Flash PROM incluyen tanto la PROM XCFxxS de 3,3V como la PROM XCFxxP de 1.8V. La versión XCFxxS incluye PROMs de 4 Mb, 2 Mb y 1 Mb que soporta configuraciones en modo Maestro en Serie y Esclavo en Serie para el FPGA. La versión XCFxxP incluye PROMs de 32 Mb, 16 Mb, y 8Mb que soporta configuraciones en modo Maestro en Serie, Esclavos en Serie, Maestro SelectMAP y Esclavos SelectMAP para el FPGA.[5]

Cuando se controla desde un reloj estable, externo, las PROMs puede enviar datos a velocidades de muestreo de hasta 33 MHz.⁶

3.3.2 Diagramas

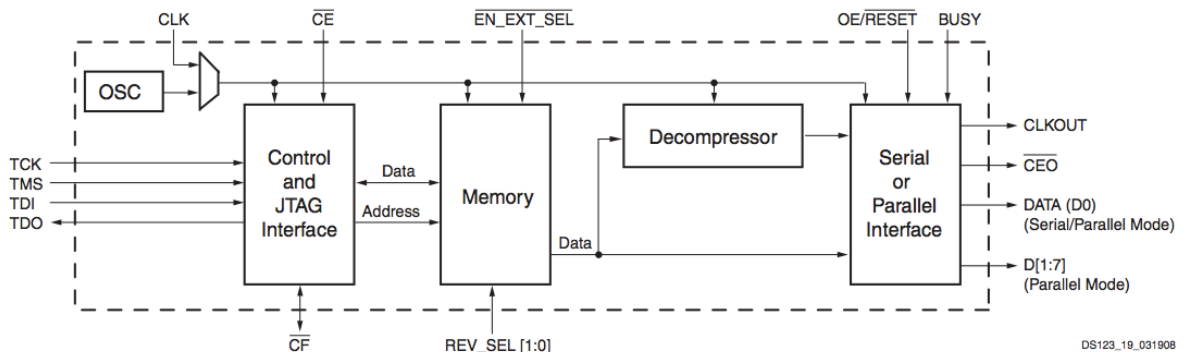
Figura 3.3. Diagrama en bloques Plataforma Flash PROM XCFxxS



Tomado de: http://www.xilinx.com/support/documentation/data_sheets/ds123.pdf

⁶ Basado en: http://www.xilinx.com/support/documentation/data_sheets/ds529.pdf

Figura 3.4. Diagrama en bloques Plataforma Flash PROM XCFxxP



Tomado de: http://www.xilinx.com/support/documentation/data_sheets/ds123.pdf

Cuando la FPGA está en el modo Maestro serie, se genera un reloj de configuración que impulsa la PROM. Con \sim CF en alto, un tiempo de acceso corto después de que \sim CE y OE están habilitados, los datos están disponibles en el pin PROM DATO (D0) que está conectado a el pin FPGA DIN. El nuevo datos se encuentra disponible un tiempo corto después de cada flanco de subida del reloj. El FPGA genera el número apropiado de impulsos de reloj para completar la configuración.

Cuando la FPGA está en modo Serie Esclavo, tanto la PROM como el FPGA están sincronizados por una fuente de reloj externa, u opcionalmente, por la PROM XCFxxP solamente, la PROM se puede utilizar para conducir el reloj de configuración de la FPGA.[5]

La versión XCFxxP de la Plataforma Flash PROM también es compatible con SelectMAP Maestro y SelectMAP Esclavo (o Esclavo paralelo) que son modos de configuración de la FPGA. Cuando la FPGA se encuentra en el modo Maestro SelectMAP, la FPGA genera un reloj de configuración que impulsa la PROM. Cuando la FPGA es en modo esclavo SelectMAP, ya sea un oscilador externo genera la configuración de reloj que impulsa la PROM y FPGA, o, opcionalmente, la PROM XCFxxP se puede utilizar para conducir el reloj de configuración de la FPGA. Con BUSY en bajo y \sim CF en alto, \sim CE y OE se habilitan, los datos se encuentran disponibles en los pines PROM (D0-D7). Los nuevos datos se encuentran disponible un tiempo corto después de cada flanco de subida del reloj. Los datos se registran en la FPGA en el siguiente flanco de subida de el CCLK. Un oscilador de funcionamiento libre se puede utilizar en el modo esclavo SelectMAP Paralelo / Esclavo.⁷

⁷ Basado en: http://www.xilinx.com/support/documentation/data_sheets/ds123.pdf

3.4 MEMORIA RAM

El circuito integrado CY7C1041DV33 es una RAM estática organizada como 256K por 16-bits. este integrado es utilizado como una herramienta de almacenamiento temporal para las diferentes aplicaciones de la tarjeta.[6]

3.4.1 Descripción funcional

El CY7C1041DV33 es una memoria CMOS RAM estática de alto rendimiento de 256 K palabras por 16 bits. Para escribir en el dispositivo, se configure en bajo el bit del chip de habilitación \sim (CE) y la habilitación de escritura \sim (WE). Si el byte bajo habilitado \sim (BLE) esta en bajo, entonces los datos en los pines I/O (I/O0 - I/O7) son escritos en la ubicación especificada en los pines de dirección (A0 a A17). Si el byte alto habilitado \sim (BHE) esta en bajo, entonces los datos en los pines I/O (I/O8 a I/O15) se escribe en el lugar especificado en los pines de dirección (A0 a A17).

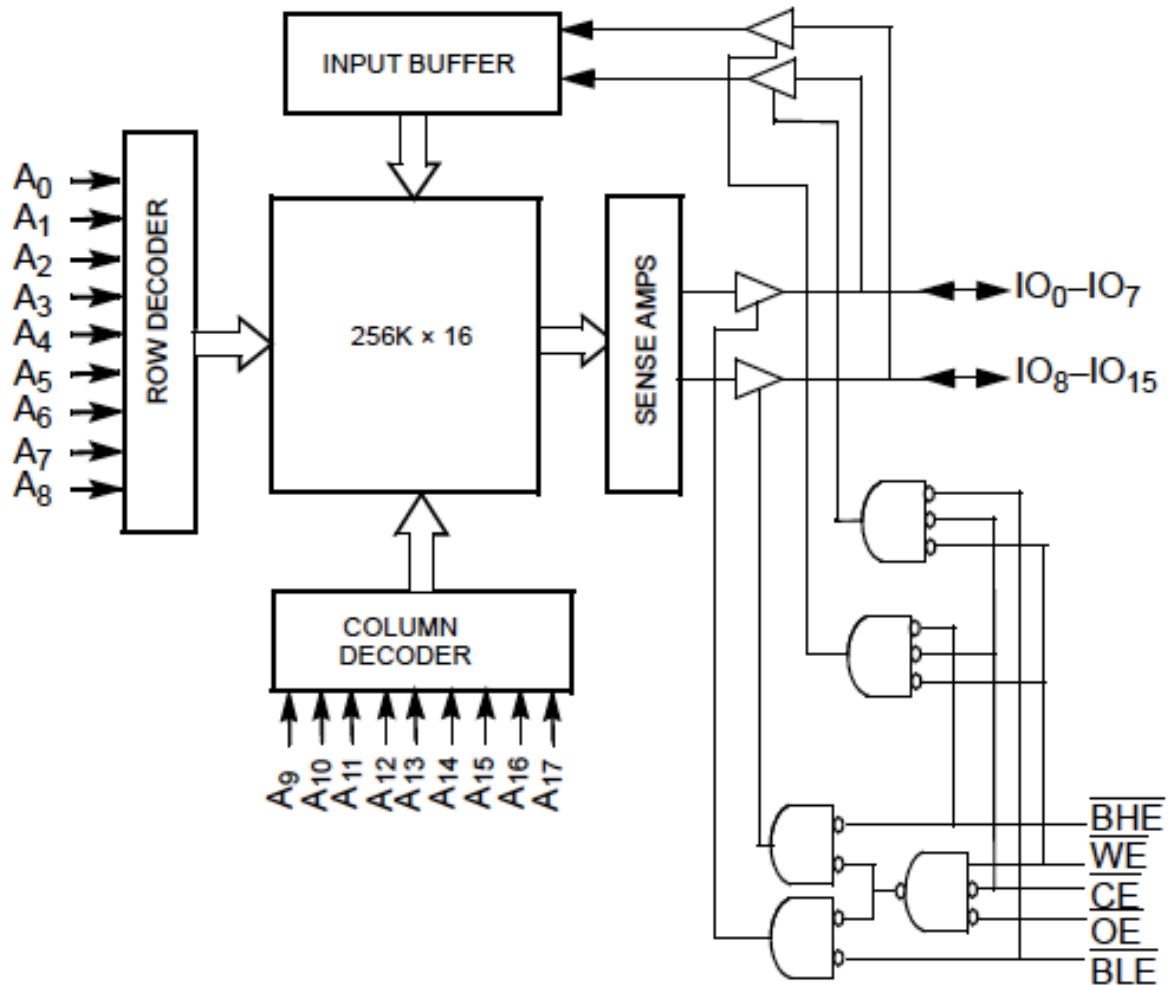
Para leer desde el dispositivo, se configura los bits del chip habilitado \sim (CE) y habilitación de salida \sim (OE) en bajo mientras obliga la habilitación de escritura \sim (WE) en alto. Si el \sim BLE esta en bajo, a continuación, los datos de la posición de memoria especificada por los terminales de dirección aparecen en I/O0 - I/O7. Si \sim BHE esta en bajo, los datos de la posición de memoria especificada por los terminales de dirección aparece en I/O8 de I/O15.

Los pines de entrada y salida (I/O0 a I/O15) se colocan en un alto estado de impedancia cuando el dispositivo está deshabilitado (\sim CE en ALTO), las salidas de desactivan con (\sim OE en ALTO), \sim BHE y \sim BLE se desactivan con (\sim BHE, \sim BLE en ALTO), o durante una operación de escritura con (\sim CE en BAJO).⁸

⁸ Basado en: <http://www.cypress.com/?docID=30361>

3.4.2 Arquitectura

Figura 3.5. Diagrama en bloques Static RAM



Tomado de: <http://www.cypress.com/?docID=30361>

3.5 INTERFAZ FT245R USB FIFO I.C.

El IC FT245RL es el circuito integrado encargado de la comunicación PC - Tarjeta. Este sistema de comunicación bidireccional es fundamental para la adquisición y generación de datos.[2]

3.5.1 Características

El FT245R es una interfaz de USB en paralelo FIFO con las siguientes funciones avanzadas:

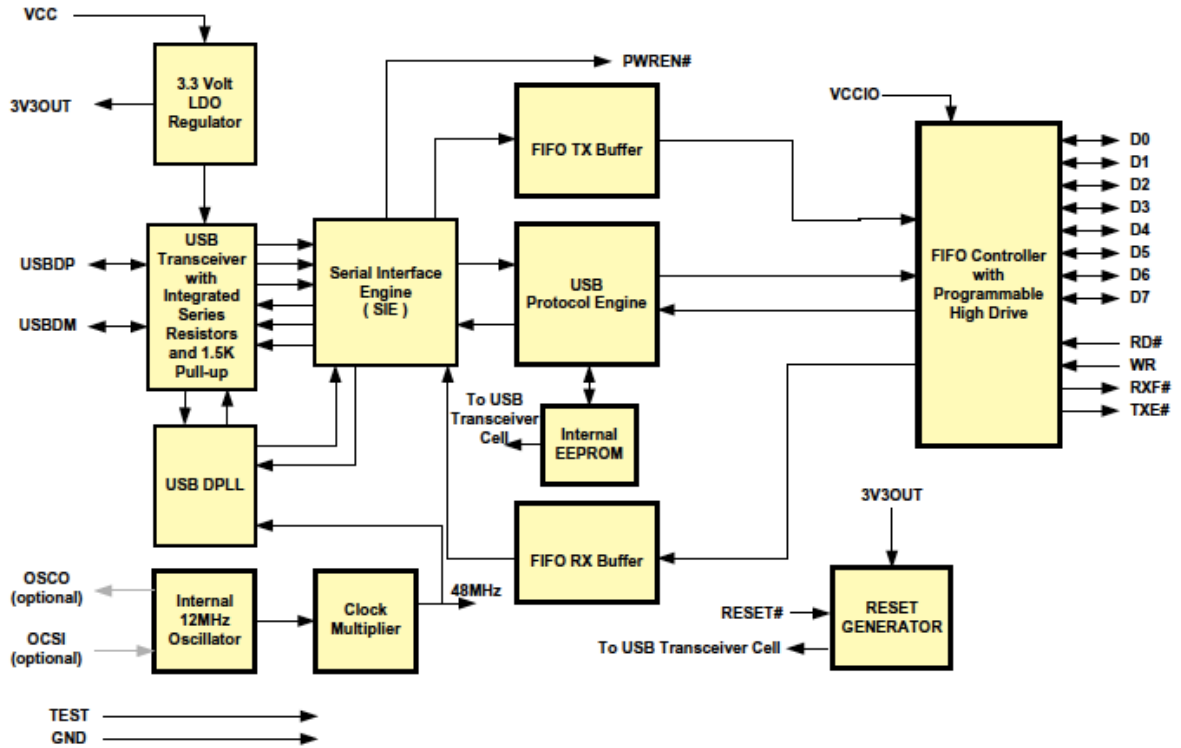
- ✓ Un solo chip USB a paralelo FIFO con interfaz bidireccional de transferencia de datos.
- ✓ Todo el protocolo USB es manejado en el chip. No hay programación USB firmware específico requerido.
- ✓ EEPROM totalmente integrado de 1024 bits de almacenamiento con configuración FIFO I/O.
- ✓ Resistencias de terminación USB totalmente integradas.
- ✓ Reloj de generación totalmente integrado sin cristal externo necesario.
- ✓ Tasas de transferencia de datos de hasta 1 Mbyte / segundo.
- ✓ Bus configurable de entrada o salida I/O.
- ✓ Bits síncronos y asíncronos con opciones de interfaz bit bang.
- ✓ El dispositivo está pre-programado con un único número de serie USB.
- ✓ Un nivel de conversor de 3.3V integrado para I/O del USB.
- ✓ Convertidor de nivel integrado en la interfaz de FIFO para la conexión a la lógica externa encargada de entre 1,8 V y 5 V.
- ✓ Verdaderas salidas CMOS de 5V/3.3V/2.8V/1.8V y entradas TTL.
- ✓ Circuito de power-on-reset integrado.

- ✓ Filtrado AVCC de suministro totalmente integrado sin filtrado externo necesario.
- ✓ Suministro de 3,3 V (con oscilador externo) a 5,25 V (con oscilador interno) con operaciones de suministro único.
- ✓ Baja corriente de operación con posibilidad de suspensión.
- ✓ Bajo consumo de ancho de banda USB.
- ✓ Controladores de host compatibles con UHCI / OHCI / EHCI.
- ✓ Compatible con USB 2.0 Full Speed.
- ✓ -40 ° C a 85 ° C amplia gama de temperaturas de funcionamiento.⁹

⁹ Basado en: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT245R.pdf

3.5.2 Diagrama en bloques simplificado

Figura 3.6. Diagrama en bloques FT245R



Tomado de: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT245R.pdf

3.6 ADC

Compuesto por el circuito integrado ADS2807 del fabricante Texas Instruments, con 2 canales de 12 bits, es el encargado de realizar la conversión Análogo - Digital.[7]

3.6.1 Descripción

El ADS2807 es de doble canal, de alta velocidad y alto rango dinámico, posee un convertidor analógico a digital de 12-bit (ADC). Este convertidor incluye un gran ancho de banda que proporciona un rendimiento excelente más allá de la tasa de Nyquist. El modo diferencial en la entrada y los circuitos ADC minimiza los armónicos y le da una excelente inmunidad al ruido. También puede ser operado en una sola terminal (single-ended).

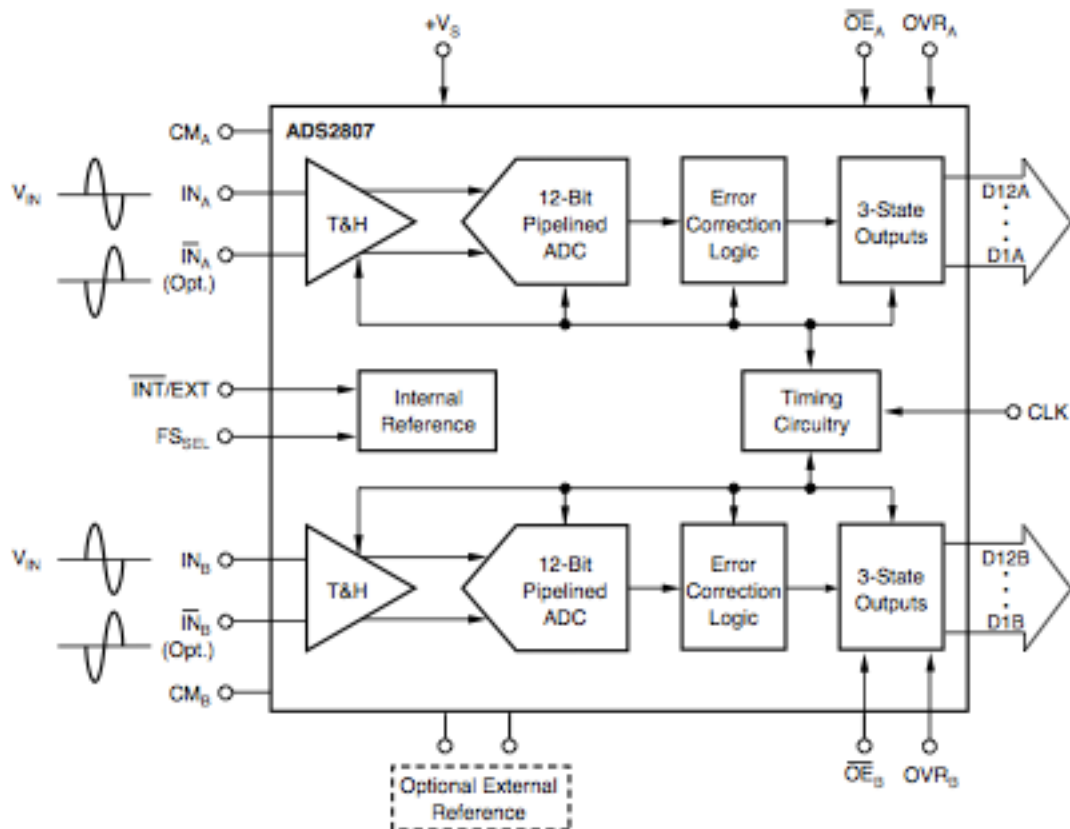
El ADS2807 ofrece la opción de configuración del rango de escala completo del convertidor sin ningún tipo de circuitos de referencia externos. La referencia interna se puede desactivar lo que permite low-drive y referencias externas que se pueden utilizar para mejorar el seguimiento en sistemas multicanal.

El ADS2807 proporciona una bandera indicadora para indicar que una señal de entrada que excede el rango de entrada a escala completa del convertidor. Esta bandera se puede utilizar para reducir la ganancia con un circuito de control de ganancia. Existe también la opción de habilitar y deshabilitar las salidas para permitir la multiplexación y la capacidad de prueba en una placa de circuito impreso.

El ADS2807 emplea técnicas digitales de corrección de errores para proporcionar una excelente linealidad diferencial para las exigentes aplicaciones de imágenes.¹⁰

3.6.1 Diagrama en bloques

Figura 3.7. Diagrama en bloques ADS2807



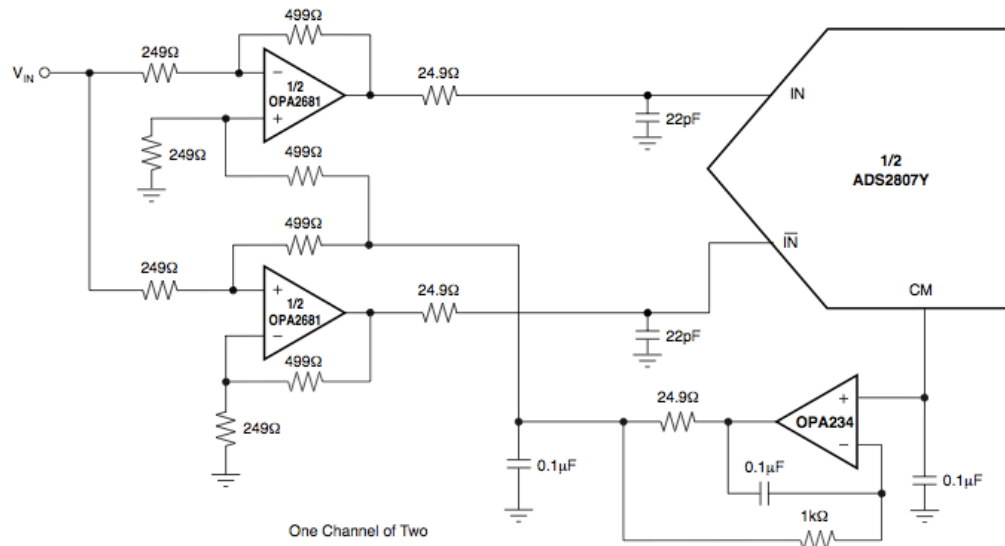
Tomado de: <http://www.ti.com/lit/ds/symlink/ads2807.pdf>

¹⁰ Basado en: <http://www.ti.com/lit/ds/symlink/ads2807.pdf>

3.7 CIRCUITO ATENUADOR DE VOLTAJE

Para acoplar la señal de entrada a el conversor ADC, el fabricante recomienda utilizar un circuito atenuador. Este circuito está compuesto por dos amplificadores operacionales de referencia OPA 2691 y un OPA 234 del fabricante Texas Instruments, configurados con un arreglo de resistencias que acopla la señal proveniente de un generador externo al ADC.¹¹

Figura 3.8. Acoplamiento en DC con cambio de nivel



Tomado de: <http://www.ti.com/lit/ds/symlink/ads2807.pdf>

3.8 DAC

El circuito integrado DAC900E del fabricante Texas Instruments es un conversor Digital - Análogo de 10 bits, fundamental en el proceso de generación de señales.

3.8.1 Descripción

El DAC900 es un conversor de digital a analógico (DAC) de alta velocidad, que ofrece una opción de resolución de 10 bits dentro de la familia de alto rendimiento de convertidores SpeedPlus. Todos los modelos de esta familia de DACs soportan tasas de actualización de más de 165MSPS con un comportamiento dinámico excelente, y son especialmente adecuados para satisfacer las demandas en una variedad de aplicaciones.[7]

¹¹ Basado en: <http://www.ti.com/lit/ds/symlink/ads2807.pdf>

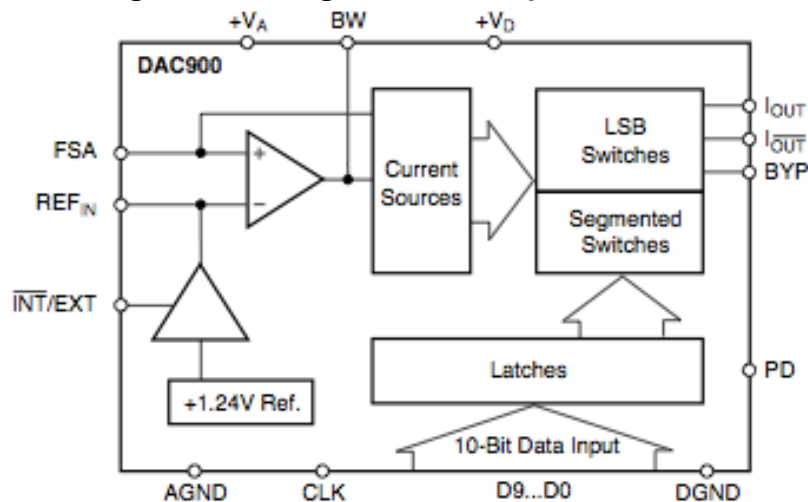
El DAC900 tiene una corriente de salida en alta impedancia ($200\text{k}\Omega$) con un alcance nominal de 20 mA y una salida de hasta 1.25V . Las salidas diferenciales permite ambas configuraciones de interfaz tanto diferencial como una sola terminal de señal analógica. La coincidencia de cierre de las salidas de corriente asegura un rendimiento dinámico superior en la configuración diferencial, que puede ser implementado con un transformador.

Utilizando una pequeña geometría de proceso CMOS, el DAC900 monolítico se puede operar de $2,7\text{ V}$ a $5,5\text{ V}$. Su bajo consumo permite su uso en sistemas portátiles que funcionan con baterías. La optimización adicional se puede realizar mediante la reducción de la corriente de salida ajustable con la opción de escala completa.

La estructura de referencia de la DAC900 permite una mayor flexibilidad para la utilización de la referencia interna del chip, o la aplicación de una referencia externa. La salida de corriente a gran escala se puede ajustar en un rango de 2 mA a 20 mA , con una resistencia externa, manteniendo el comportamiento dinámico especificado.¹²

3.8.1 Diagrama en bloques

Figura 3.9. Diagrama en bloques DAC900



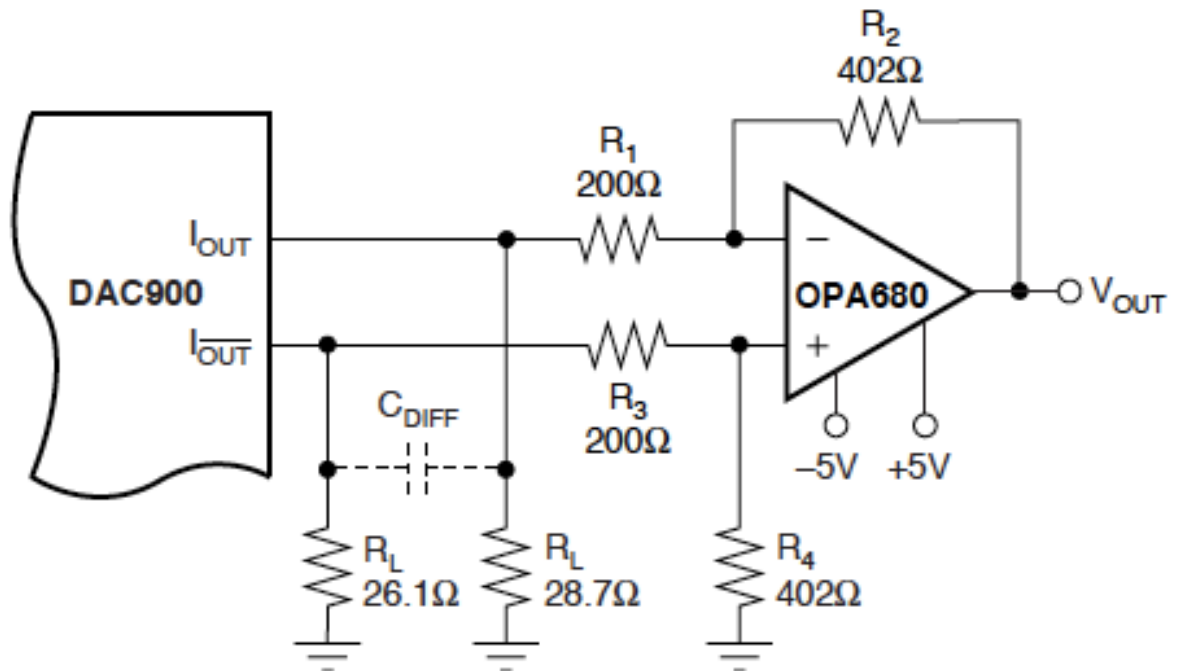
Tomado de: <http://www.ti.com/lit/ds/symlink/dac900.pdf>

¹² Basado en: <http://www.ti.com/lit/ds/symlink/dac900.pdf>

3.9 CIRCUITO AMPLIFICADOR DE VOLTAJE

Fue necesario eliminar el nivel dc y amplificar la señal proveniente del DAC, por lo que se utilizó un amplificador OPA 690 con un arreglo de resistencias que suministraran la amplitud deseada en la salida análoga.¹³

Figura 3.10. Amplificador en Modo Diferencial, Obtiene Conversión Single-Ended Conversión y Acoplamiento DC



Tomado de: <http://www.ti.com/lit/ds/symlink/dac900.pdf>

¹³ Basado en: <http://www.ti.com/lit/ds/symlink/dac900.pdf>

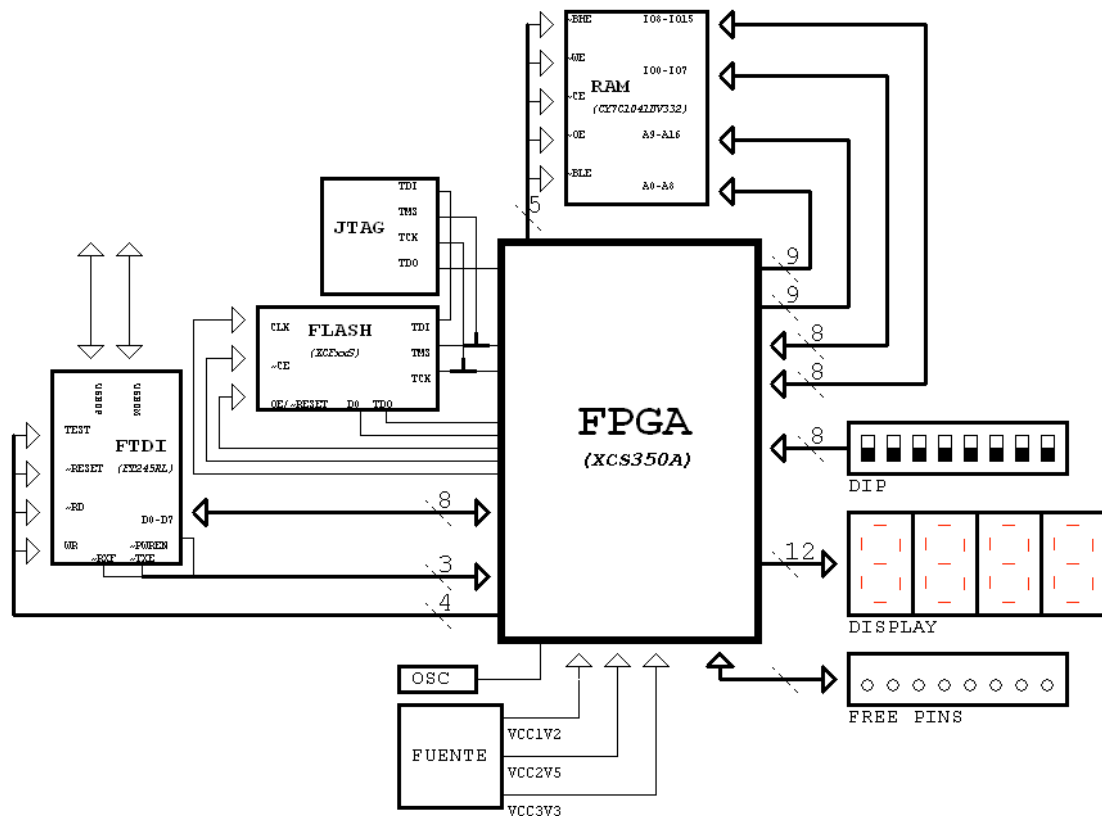
DISEÑO HARDWARE ETAPA 1

Para la etapa 1 se realizó el diseño de un primer módulo que cuenta con ciertos dispositivos de vital importancia para el correcto funcionamiento del FPGA y su interacción con los dispositivos requeridos para la adquisición y generación de señales.[1]

4.1 DIAGRAMA EN BLOQUES

Según las necesidades, y las recomendaciones de los fabricantes de cada uno de los dispositivos a trabajar, se realizó un diseño el cual fue la guía fundamental para todo el desarrollo del sistema.

Figura 4.1. Hardware Etapa 1



4.2 ESQUEMATICO EN PS ORCAD

Para la realización del circuito esquemático se utilizó Orcad. Este programa nos permite realizar diagramas esquemáticos para posteriormente pasar a PCB's.

Las librerías de Orcad son algo limitadas por lo que se realizaron los footprints de la mayoría de componentes de la tarjeta, entre ellos: FTDI, RAM, EEPROM, FPGA, reguladores, etc.

Para el correcto funcionamiento del integrado XC3S50A se siguieron todas las recomendaciones del fabricante, el cual provee una serie de manuales de usuario en donde se explica claramente las capacidades, cualidades, y precauciones con este dispositivo, posterior a la correcta capacitación sobre el modo de uso, se desarrolló el siguiente diseño:

Figura 4.2. Esquemático 1 (Conectores)

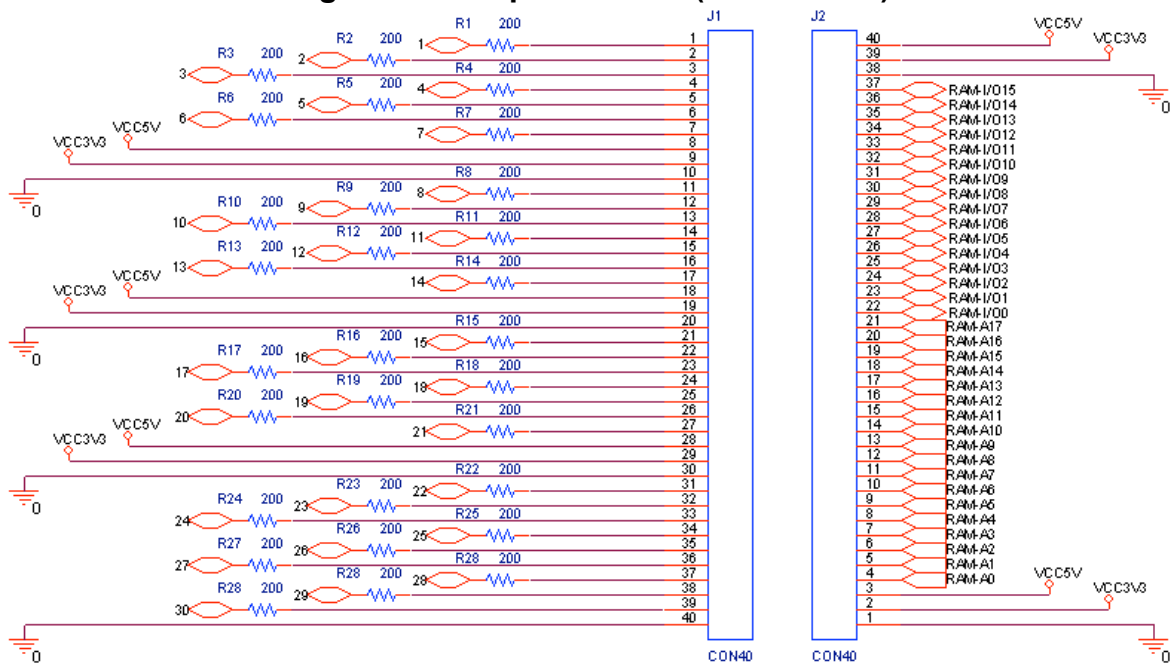


Figura 4.3. Esquemático 2 (Display y Dipswitches)

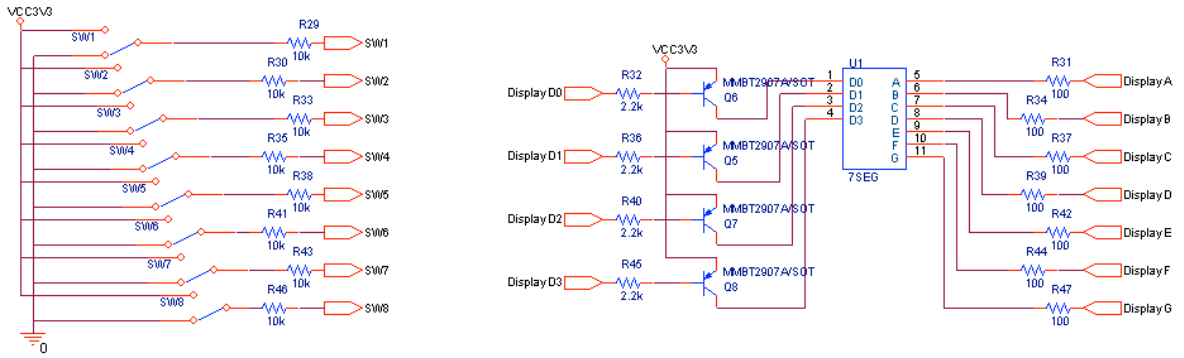


Figura 4.4. Esquemático 3 (Reguladores de Voltaje)

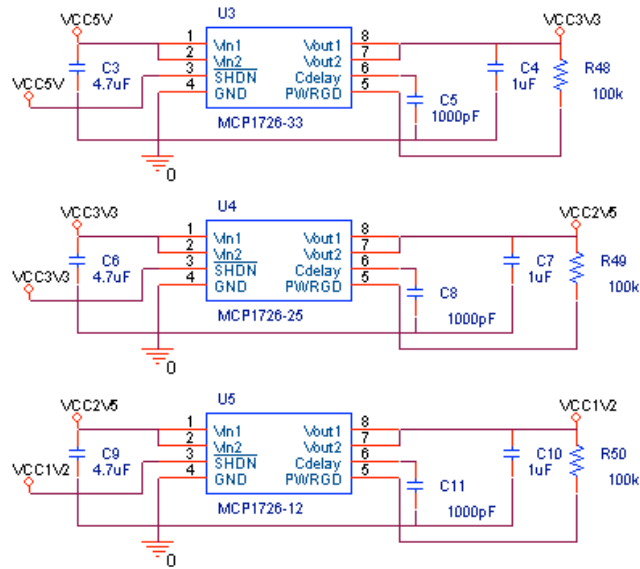


Figura 4.5. Esquemático 4 (Configuración FPGA Y JTAG)

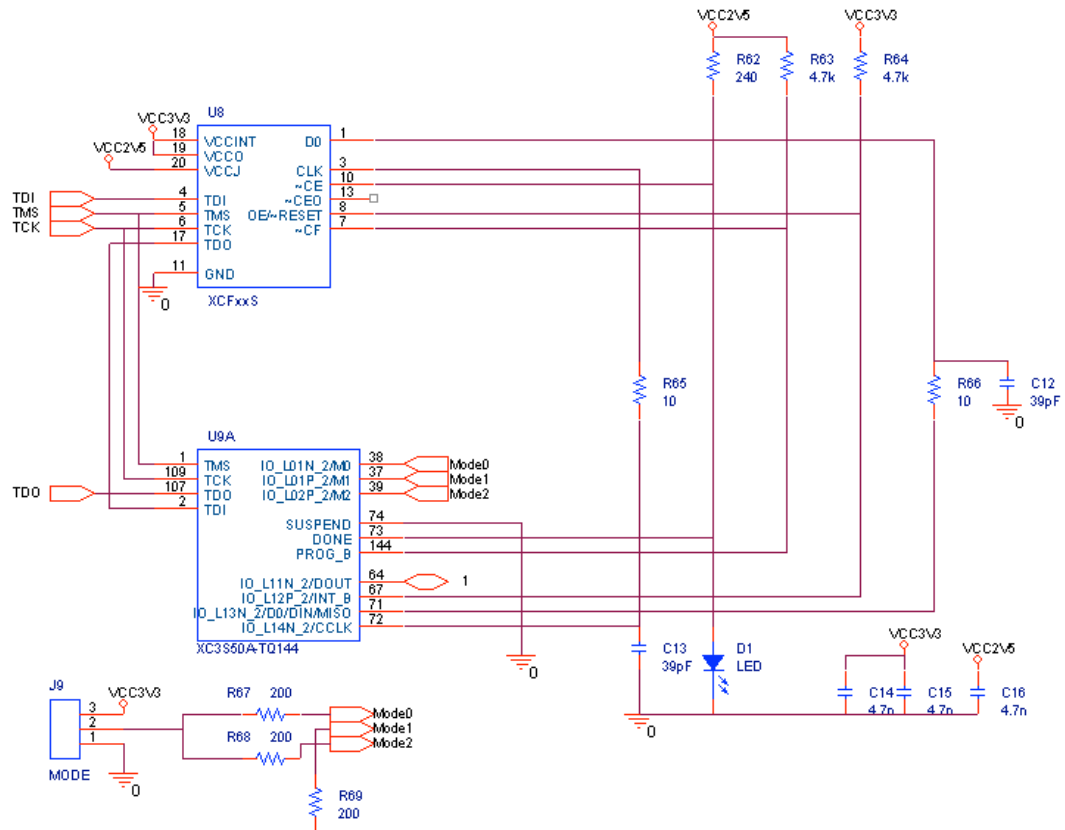


Figura 4.6. Esquemático 5 (FTDI Y RAM)

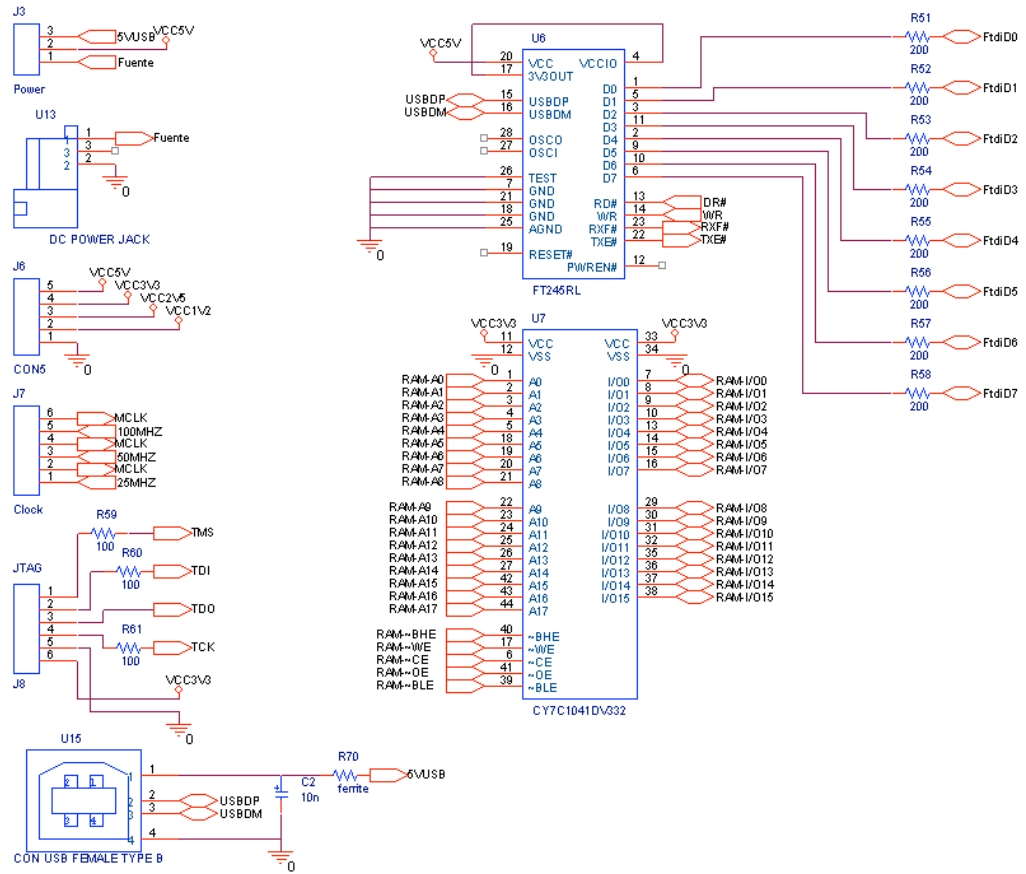
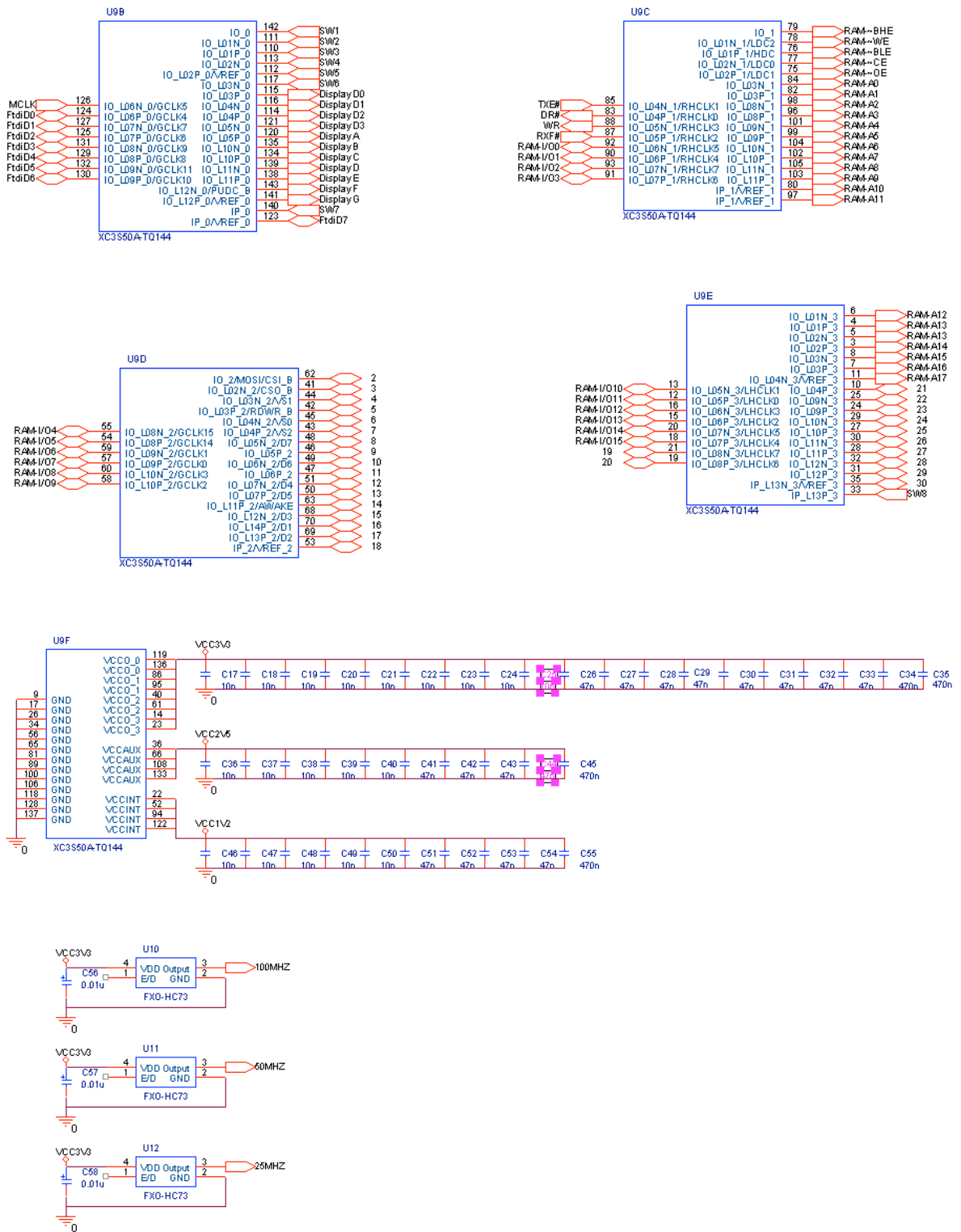


Figura 4.7. Esquemático 6 (FPGA I/O, VCC, GND y Osciladores)



4.3 DESARROLLO PCB, FOOTPRINTS Y RUTEO

Orcad Layout es un software que permite la realización de gerbers para la fabricación de circuitos impresos, en este caso se utilizó para pasar de el diseño esquemático realizado anteriormente, al diseño impreso.

En este software se realizaron los footprints correspondientes a cada uno de los componentes con los cuales se ensambló la tarjeta. Cada uno de los componentes cuenta con una ficha técnica la cual provee las medidas exactas del componente y las recomendaciones para elaboración de footprints.

Después de tener los elementos conectados entre si, se configuraron algunos parámetros que son importantes a la hora de mandar a fabricar circuitos impresos. Estos son algunos de ellos:

- ✓Grosor de las pistas.
- ✓Separación entre pistas.
- ✓Separación entre pads y pistas.
- ✓Mínimo calibre de hueco.
- ✓Mínimo grosor de pad.

En este caso por ejemplo se mandó a fabricar el circuito impreso a un proveedor en Medellín, reconocido a nivel nacional por su alta calidad. Las recomendaciones de este fabricante para diseñadores son:

- ✓0.22 mm grosor de pistas.
- ✓0.22 mm separación entre pistas y pads.
- ✓0.4 mm calibre de huecos.

Nota: Estos son los requerimientos mínimos para fabricación estándar.

Después de la configuración del programa para cumplir con estas especificaciones se inició el proceso de ruteo de pistas. Estos son los resultados de dicho trabajo:

Figura 4.8. Top Layer (Etapa 1)

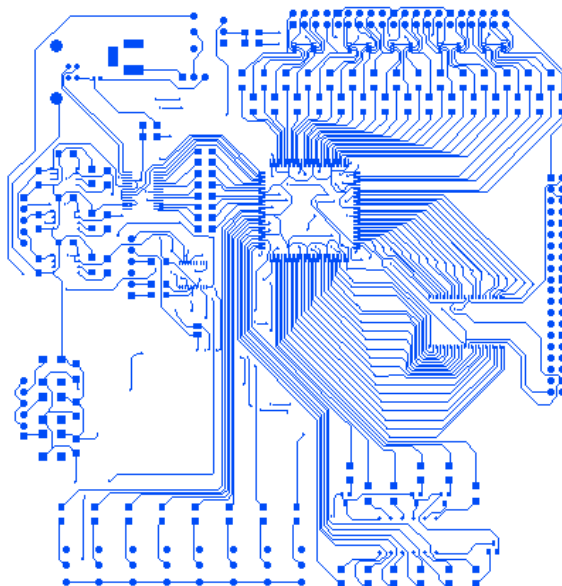


Figura 4.9. Bottom Layer (Etapa 1)

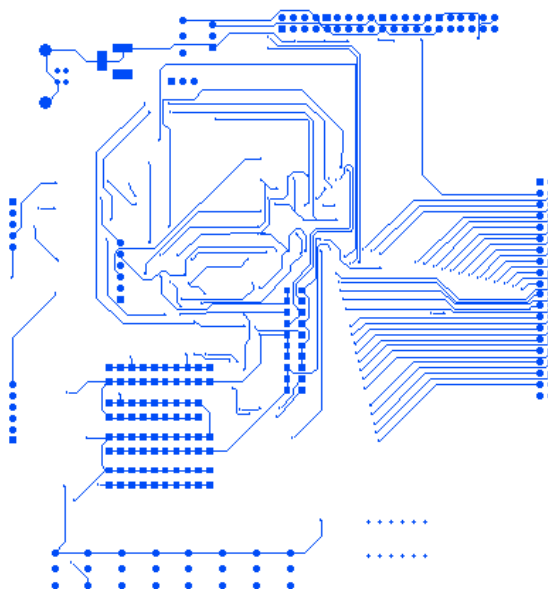


Figura 4.10. Top Screen Layer (Etapa 1)

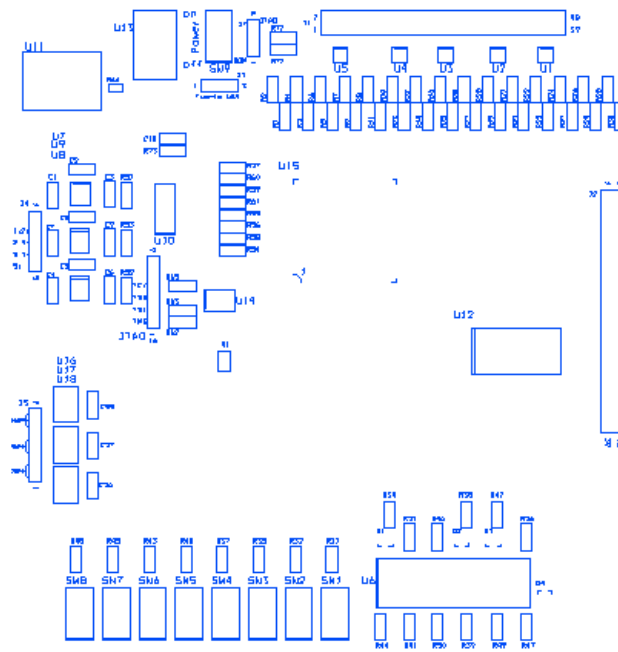


Figura 4.11. Top Board (Etapa 1)

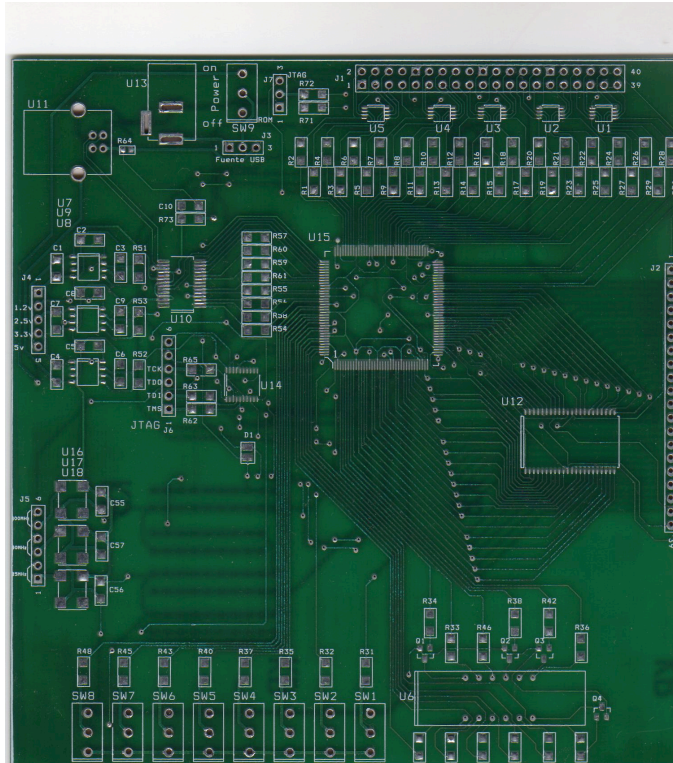
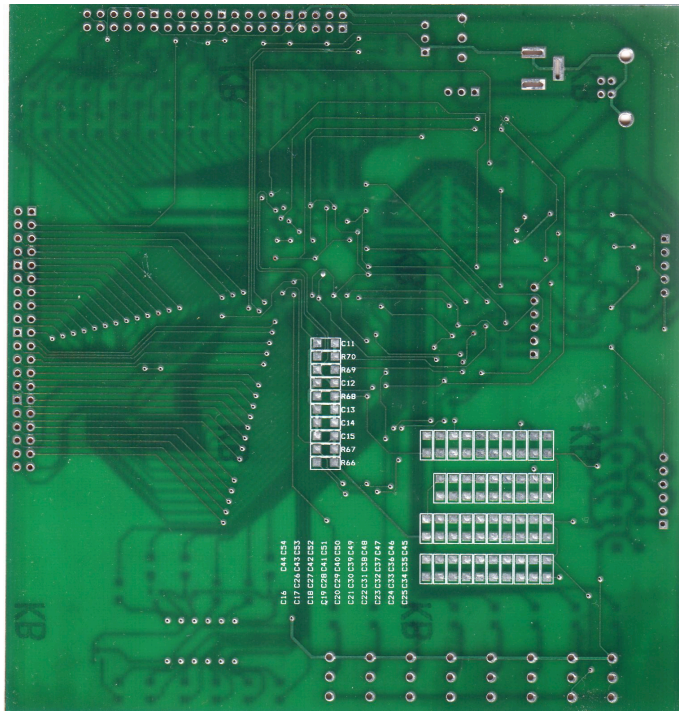
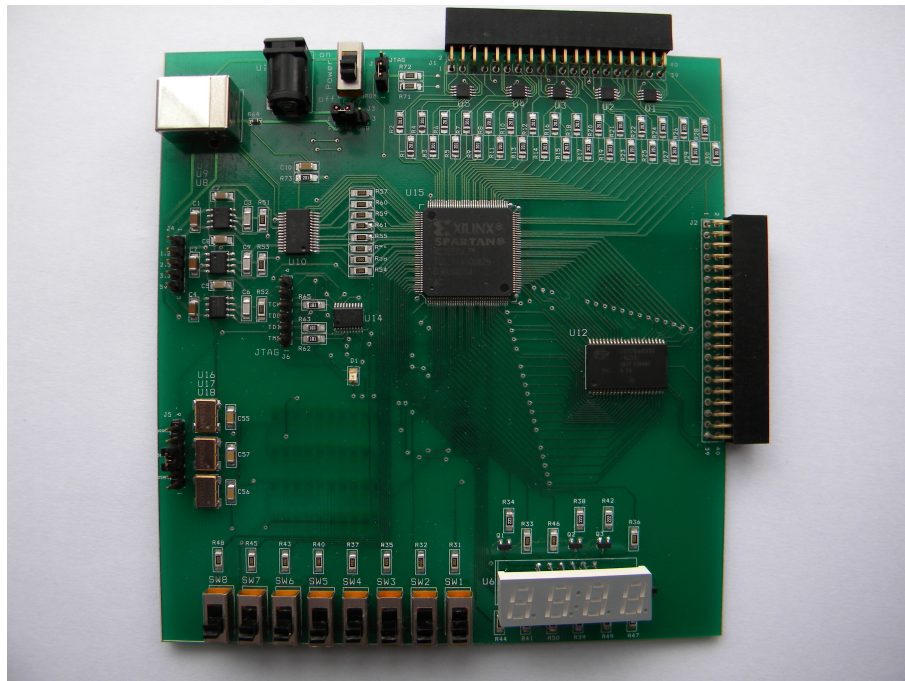


Figura 4.12. Bottom Board (Etapa 1)



4.4 ENSAMBLE Y DESCRIPCIÓN

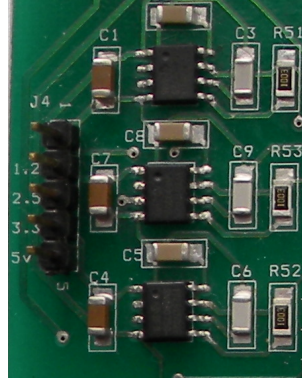
Figura 4.13. Tarjeta (Etapa 1)



4.4.1 Regulador de voltaje

Este módulo está conformado por tres integrados de referencia MCP1726-1202E, MCP1726-2502E y MCP1726-3302E respectivamente, los cuales suministran los voltajes necesarios (3.3, 2.5, 1.2) para la alimentación del FPGA y otros integrados dentro de esta tarjeta. El jumper J4 son puntos de prueba para verificar el correcto funcionamiento de estos reguladores.

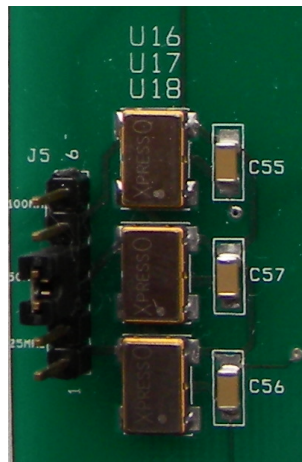
Figura 4.14. Reguladores



4.4.2 Osciladores

Compuesto por tres osciladores (100MHz, 50MHz, 25MHz) y un jumper que permite seleccionar manualmente uno de ellos según a necesidad del usuario.

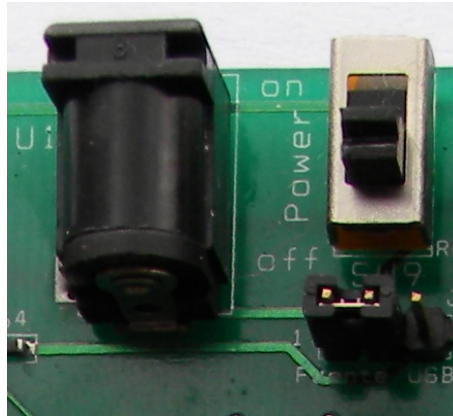
Figura 4.15. Osciladores



4.4.3 Alimentación 5V DC, y selector de encendido

Se recomienda alimentar la tarjeta con una fuente externa cuando se este usando acoplada a la etapa 2, de lo contrario por medio de el puerto USB del computador, esta última opción es configurada manualmente por medio de un jumper.

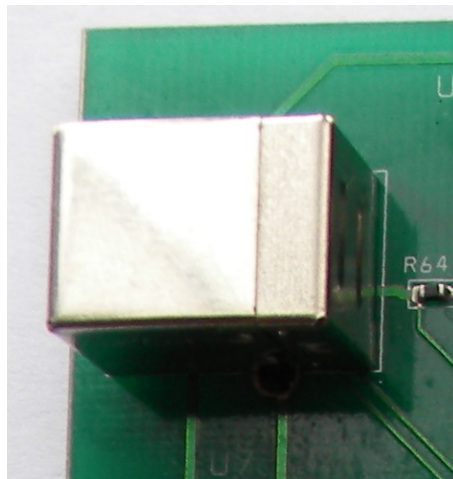
Figura 4.16. Alimentación



4.4.4 Puerto USB

Puerto de comunicación y alimentación alternativa USB, para interacción con el sistema FTDI encargado de el tráfico de datos o comunicación entre PC y tarjeta.

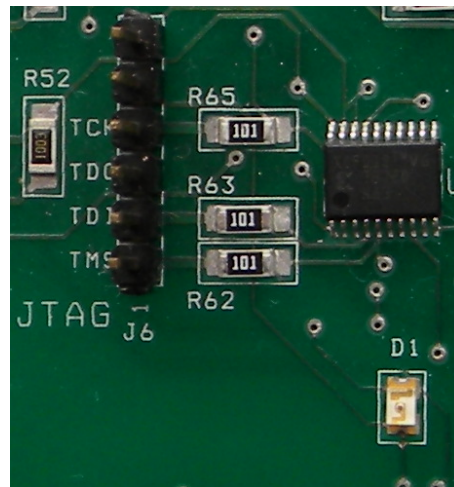
Figura 4.17. Puerto USB



4.4.5 Puerto de programación JTAG y memoria ROM

Este puerto se comunica por medio de un cable JTAG con el PC, el cual permite hacer visible al PC los dispositivos FPGA Y EPROM para su programación por medio del software ISE Suite.

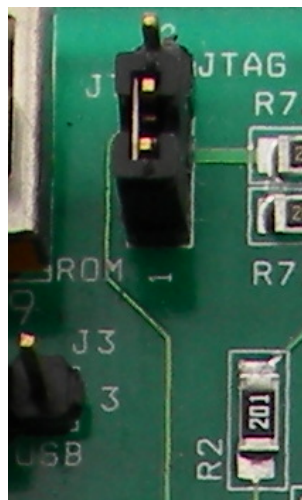
Figura 4.18. Interfaz FTDI



4.4.6 Iniciar desde JTAG o ROM

Por medio de estas terminales con Jumper es posible configurar desde donde se quiere leer la programación para así cargarla al FPGA.

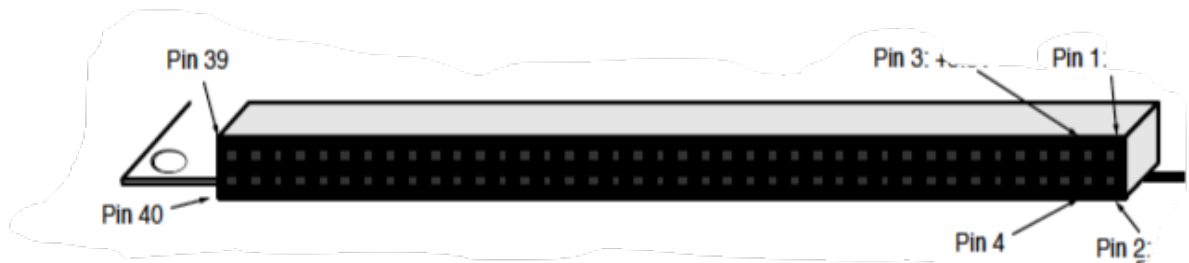
Figura 4.19. Selector de inicio de programación



4.4.7 Puertos

Corresponden a conectores de expansión de 40 pines los cuales permiten monitorear algunas señales importantes y extender la tarjeta hacia una etapa 2 (correspondiente a la conversión de señales y datos).

Figura 4.20. Distribución Conector 40 Pines



Tomado de: http://www.digilentinc.com/data/products/s3board/s3board_rm.pdf

4.4.7.1 PUERTO J1

Puerto de entradas y salidas programables del FPGA (I/O) en el cual también se encuentran voltajes como 3.3V, 2.5V y 1.2V junto con GND.

Figura 4.21. Puerto J1

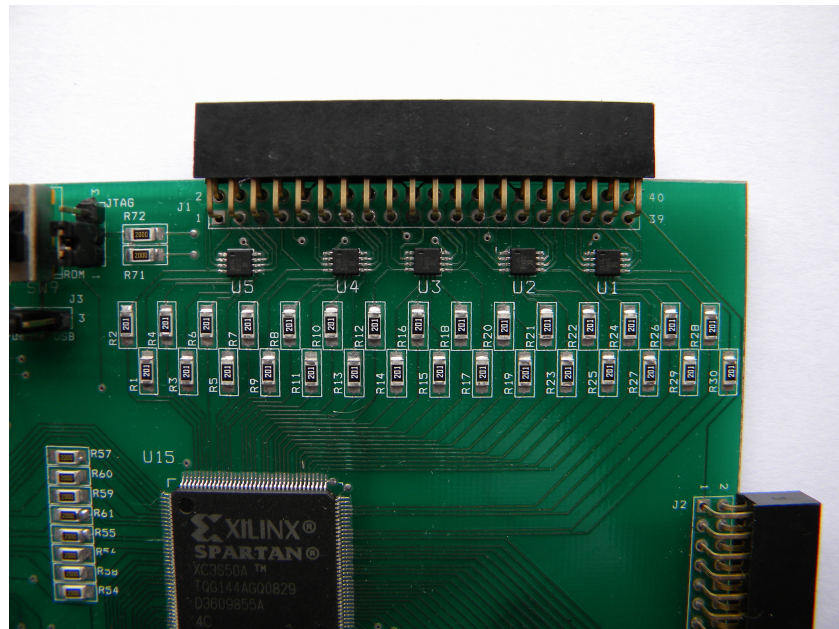


Tabla 4.1. PinOut conector J1

Nombre esquemático	Pin FPGA	Conector		Pin FPGA	Nombre esquemático
1	P64	1	2	P62	2
3	P41	3	4	P44	4
5	P42	5	6	P45	6
7	P43	7	8		+5V
+3V3		9	10		GND
8	P48	11	12	P46	9
10	P49	13	14	P47	11
12	P51	15	16	P50	13
14	P63	17	18		+5V
+3V3		19	20		GND
15	P68	21	22	P70	16
17	P69	23	24	P53	18
19	P21	25	26	P19	20
21	P10	27	28		+5V
+3V3		29	30		GND
22	P25	31	32	P24	23
24	P29	33	34	P27	25
26	P30	35	36	P28	27
28	P32	37	38	P31	29
30	P35	39	40		GND

4.4.7.2 Puerto J2

Este es un puerto de acceso directo con la memoria RAM, direcciones, datos y control. Además de dar la posibilidad de extender la tarjeta y conectar otras memorias en paralelo.

Figura 4.22. Puerto J2

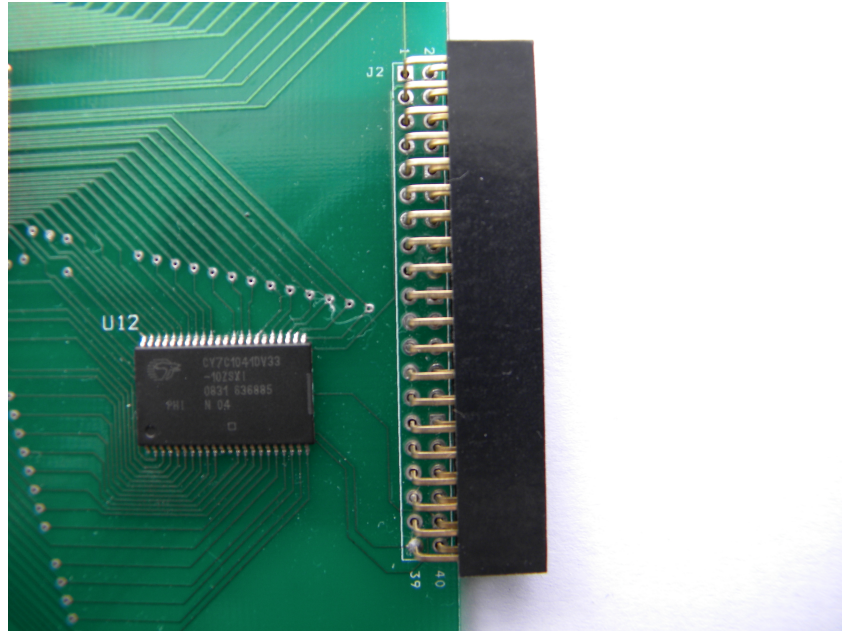


Tabla 4.2. PinOut J2

Nombre esquemático	Pin FPGA	Conector		Pin FPGA	Nombre esquemático
GND		1	2		+3V3
+5V		3	4	P84	RAM-A0
RAM-A1	P82	5	6	P98	RAM-A2
RAM-A3	P96	7	8	P101	RAM-A4
RAM-A5	P99	9	10	P104	RAM-A6
RAM-A7	P102	11	12	P105	RAM-A8
RAM-A9	P103	13	14	P80	RAM-A10

RAM-A11	P97	15	16	P6	RAM-A12
RAM-A13	P4,P5	17	18	P3	RAM-A14
RAM-A15	P8	19	20	P7	RAM-A16
RAM-A17	P11	21	22	P92	RAM-I/O0
RAM-I/O1	P90	23	24	P93	RAM-I/O2
RAM-I/O3	P9	25	26	P55	RAM-I/O4
RAM-I/O5	P54	27	28	P59	RAM-I/O6
RAM-I/O7	P57	29	30	P60	RAM-I/O8
RAM-I/O9	P58	31	32	P13	RAM-I/O10
RAM-I/O11	P12	33	34	P16	RAM-I/O12
RAM-I/O13	P15	35	36	P20	RAM-I/O14
RAM-I/O15	P18	37	38		GND
+3V3		39	40		+5V

4.4.8 Display

Display de 4 dígitos y 7 segmentos configurado para trabajar con un sistema de refresco dinámico.

Figura 4.23. Display

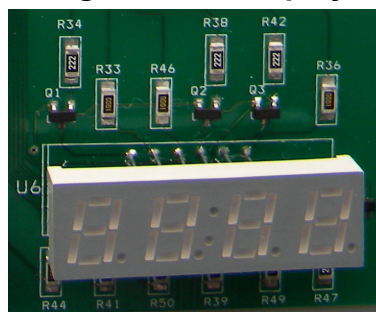


Figura 4.24. PinOut Dígitos

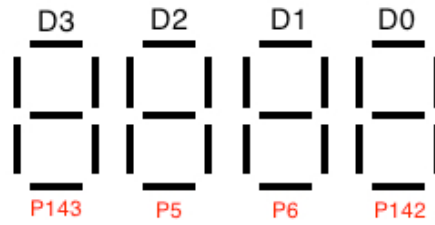
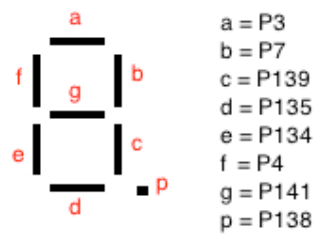


Figura 4.25. PinOut Segmentos



4.4.9 Dipswitches

8 dipswitches conectados a entradas estrictas en el FPGA

Figura 4.26. Dipswitches

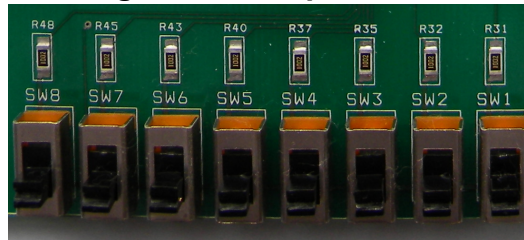


Figura 4.27. PinOut Dipswitches



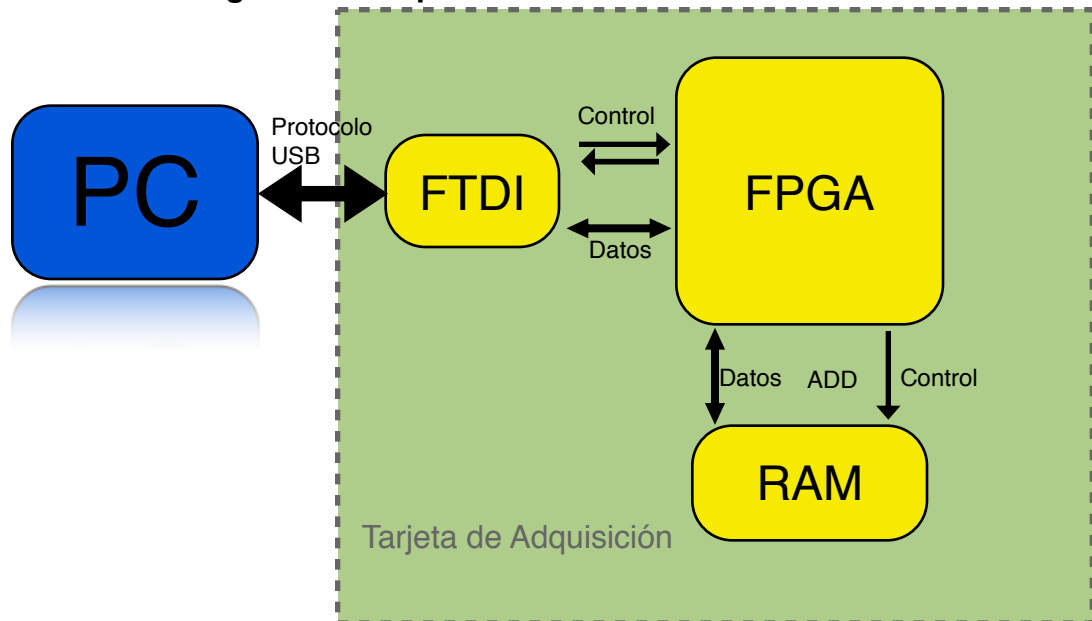
DISEÑO DESCRIPCION DE HARDWARE 1

Esta sección tiene como finalidad explicar detenidamente la dinámica de comunicación entre la tarjeta y el PC, en donde se mostrará todo el esquema de funcionamiento pasando por cada una de las etapas que hacen posible la interacción Tarjeta - PC.

Los elementos que componen esta comunicación son: Interface FTDI para lectura; Interface FTDI para escritura; Interface RAM para escritura e Interface RAM para lectura.

5.1 ESQUEMA GENERAL DEL SISTEMA DE COMUNICACION

Figura 5.1. Esquema General de Comunicación



La comunicación entre el PC y la tarjeta de adquisición se hace por medio del protocolo USB (Universal Serial Bus). Gracias al sistema FTDI conformado por un integrado, se logra recibir y enviar 8 bits de información en paralelo. El sistema se puede dividir en dos procesos básicos:

5.1.1 Transmisión de datos PC-Tarjeta

Los datos que se envían de forma serial desde el PC son procesados por el sistema FTDI el cual entrega a el FPGA una información paralela de 8 bits, esto se logra por medio de la sincronización entre el FTDI y el FPGA configurando el sistema de control que posee el FTDI para la correcta transmisión, con señales generadas desde el FPGA. Los 8 bits de información pasan directamente a la primera posición disponible en la memoria RAM, consecuentemente todos los datos van quedando almacenados en la memoria RAM en el mismo orden en el que se envían desde el PC. El control generado desde el FPGA para la memoria RAM, verifica el numero de datos transmitidos de una acción por el usuario.

5.1.2 Transmisión de datos Tarjeta-PC

Estando ya los datos guardados en la memoria RAM, es posible enviarlos devuelta hacia el PC, esto se logra modificando la configuración de los controles en ambos sistemas (FTDI y RAM) por medio de una indicación física en la tarjeta (Dipswich). Este proceso fue realizado inicialmente para corroborar el buen funcionamiento de la comunicación entre el PC y la tarjeta.

Los datos se recogen de la memoria uno a uno por el bus bidireccional que comunica la memoria RAM con el FPGA, estos datos pasan directamente hacia el sistema FTDI que ya se ha configurado en modo de “escritura” posibilitar la comunicación desde la tarjeta hacia el PC para finalmente hacer que los datos lleguen en el mismo orden en que se enviaron.

El control generado por el FPGA sobre estos dos sistemas (FTDI y RAM) posibilita la identificación de la cantidad de datos trasmitidos hacia la tarjeta, para que cuando sean leídos de la RAM para ser enviados de regreso, se envíen exactamente el número de datos recibidos, evitando cualquier tipo de dato basura.

5.2 ARQUITECTURA DEL SOFTWARE

Figura 5.2. Esquema del programa

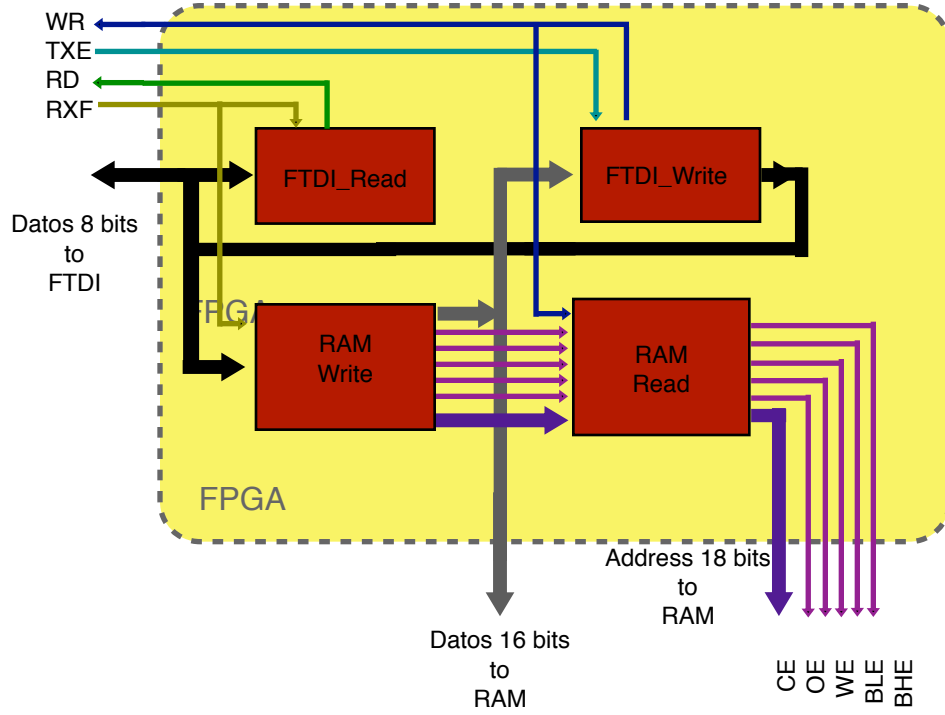
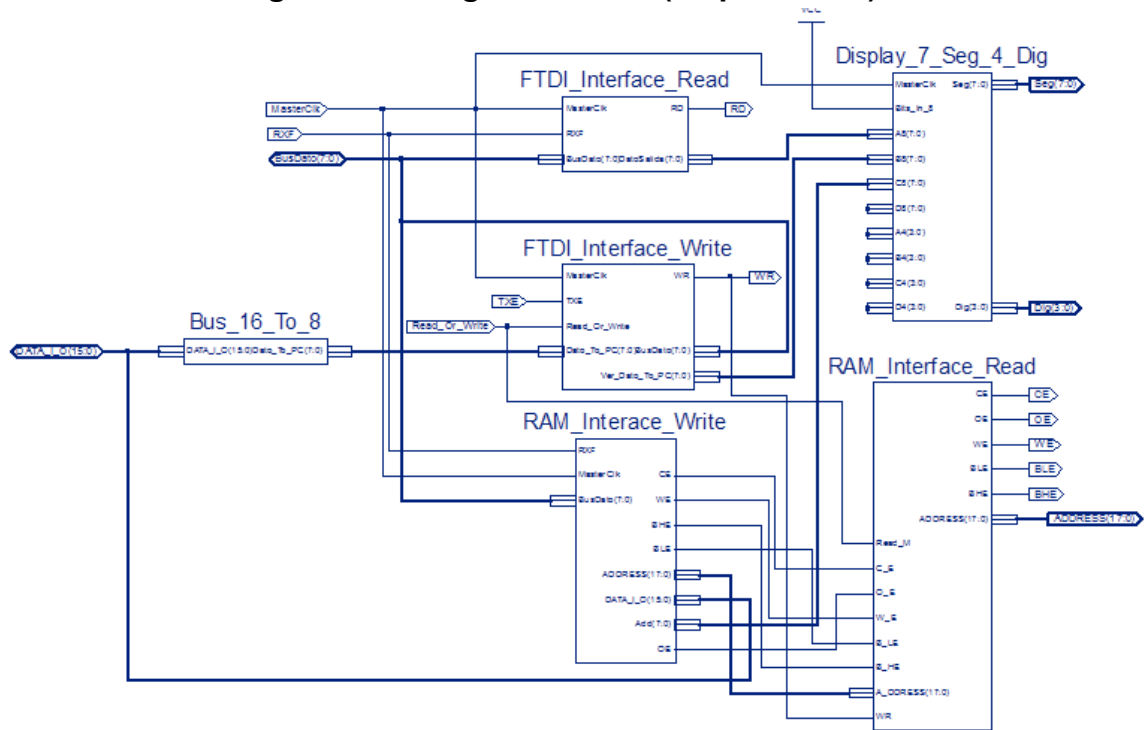


Figura 5.3. Programa VHDL (esquemático)



5.2.1 Comunicación PC-Tarjeta

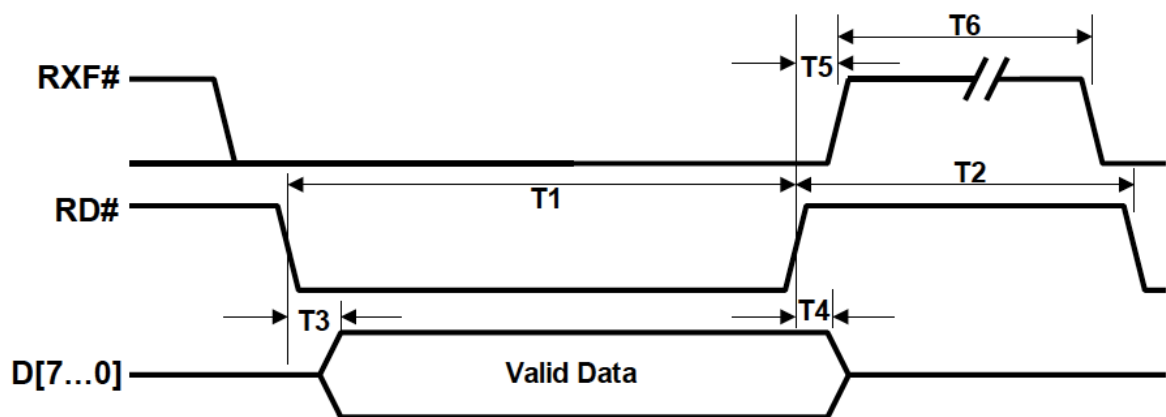
1. Los datos se presentan en el bus de 8 bits que proviene del FTDI.
2. RXF(Salida del FTDI) indica cada vez que existe un dato valido en el bus.
3. RD(Salida del FPGA) es una señal que se genera cada vez que RXF lo indique, se valida el dato presente y se da paso al dato siguiente.
4. Se escriben los datos en la RAM, la señal RXF sirve para sincronizar el FTDI con la RAM, ya que indica cada vez que hay un dato nuevo listo para ser guardado, y ademas lleva un contador que permite modificar la dirección de la memoria para que la memoria sea escrita dinámicamente.

5.2.2 Comunicación Tarjeta-PC

1. Una vez configurada la memoria en modo lectura un contador generado por el FPGA modifica la dirección de la memoria haciendo así que aparezcan uno a uno los datos en el bus de la RAM.
2. WR(Salida del FPGA) se sincroniza con el contador de la dirección de la RAM para indicar cada vez que exista un dato nuevo para subir a el PC.
3. TXE(Salida del FTDI) nos indica cada vez que el FTDI se encuentre listo para recibir datos.
4. Los datos se van mostrando uno a uno por el bus de datos del FTDI, los cuales se transmiten de forma serial hacia el PC.

5.3 INTERFAZ DE LECTURA FTDI

Figura 5.4. Diagramas de tiempos lectura FIFO FT245R



Tomado de: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT245R.pdf

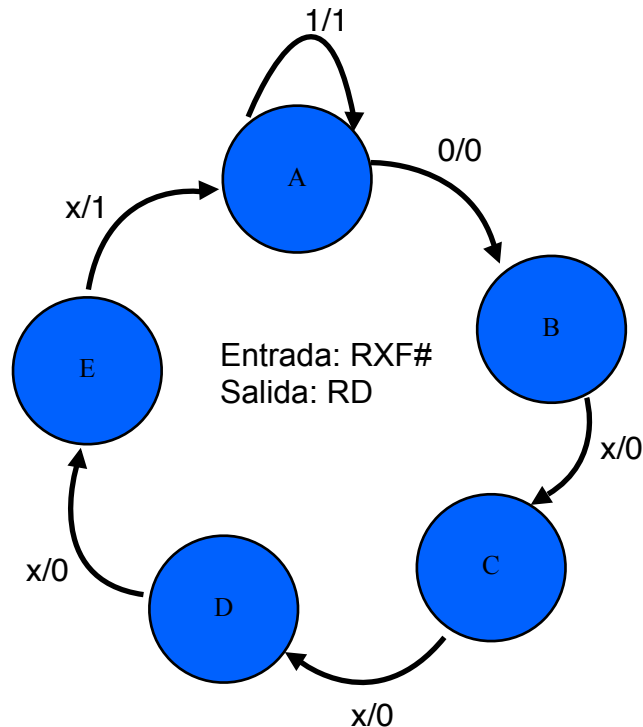
Tabla 5.1. Ciclo de tiempos lectura FIFO

Time	Description	Minimum	Maximum	Unit
T1	RD# Active Pulse Width	50	-	ns
T2	RD# to RD# Pre-Charge Time	50 + T6	-	ns
T3	RD# Active to Valid Data*	20	50	ns
T4	Valid Data Hold Time from RD# Inactive*	0	-	ns
T5	RD# Inactive to RXF#	0	25	ns
T6	RXF# Inactive After RD Cycle	80	-	ns

Tomado de: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT245R.pdf

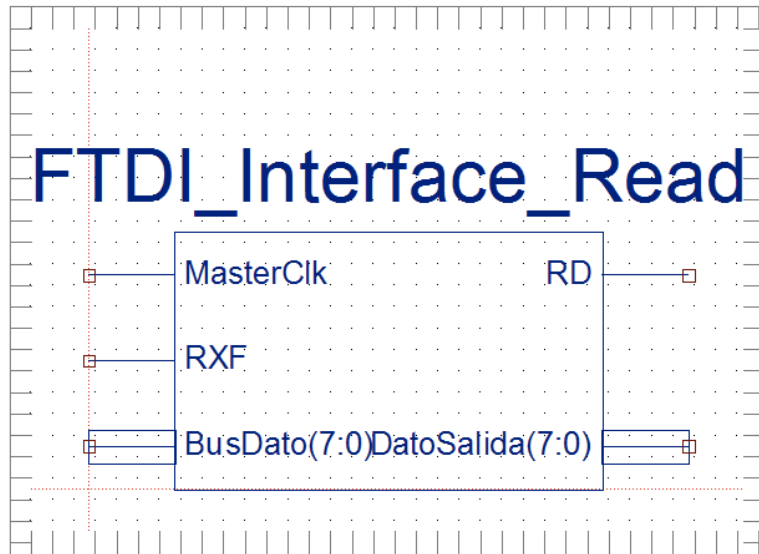
Para implementar este control en VHDL se pensó en el desarrollo de una máquina de Mealy que hiciera posible la adquisición consecutiva de datos.

Figura 5.5. Máquina de Mealy para lectura FIFO



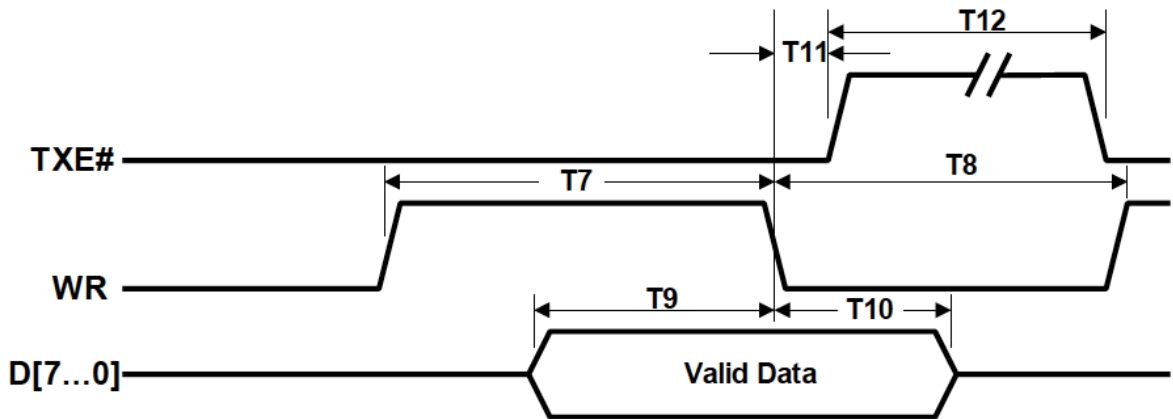
Los estados C, D y E en donde las entradas no importan hacen tiempo en el ciclo para cumplir el mínimo de 60ns que debe durar RD en “bajo”.

Figura 5.6. Modulo VHDL para lectura FIFO



5.4 INTERFAZ DE ESCRITURA FTDI

Figura 5.7. Diagramas de tiempos escritura FIFO FT245R



Tomado de: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT245R.pdf

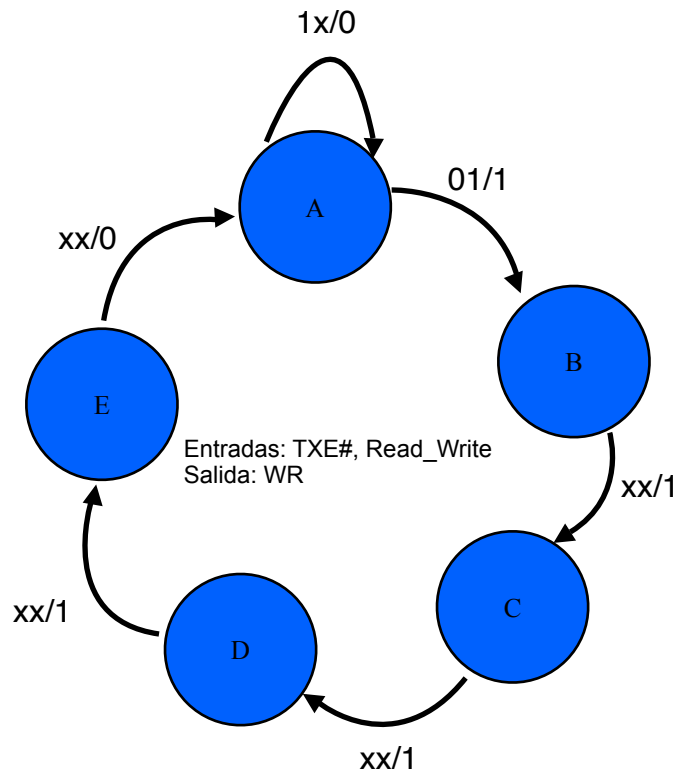
Tabla 5.2. Ciclo de tiempos escritura FIFO

Time	Description	Minimum	Maximum	Unit
T7	WR Active Pulse Width	50	-	ns
T8	WR to WR Pre-Charge Time	50	-	ns
T9	Valid data setup to WR falling edge*	20	-	ns
T10	Valid Data Hold Time from WR Inactive*	0	-	ns
T11	WR Inactive to TXE#	5	25	ns
T12	TXE# Inactive After WR Cycle	80	-	ns

Tomado de: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT245R.pdf

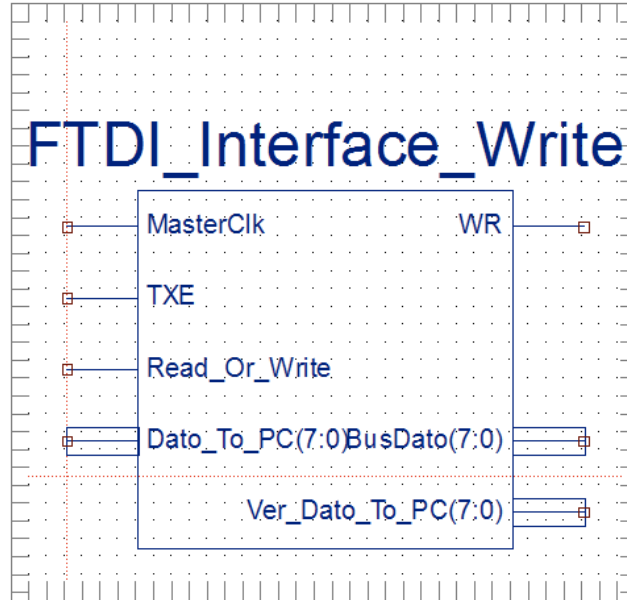
Como en el caso anterior, una máquina de Mealy proporciona el control para la entrega consecutiva de datos que provienen, en este caso de la memoria RAM. Se utiliza una entrada adicional la cual indica el modo en el cual se va a utilizar el FTDI (Escritura o Lectura).

Figura 5.8. Máquina de Mealy para escritura FIFO



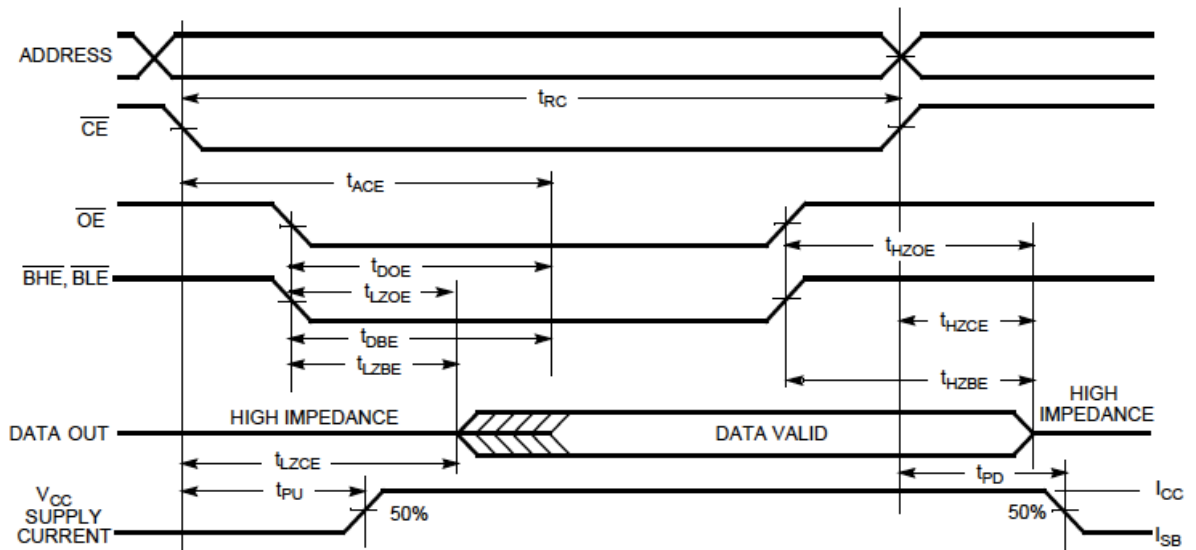
Los estados C, D y E en donde las entradas no importan hacen tiempo en el ciclo para cumplir el mínimo de tiempo que debe durar WR en "alto".

Figura 5.9. Modulo VHDL para escritura FIFO



5.5 INTERFAZ DE LECTURA RAM

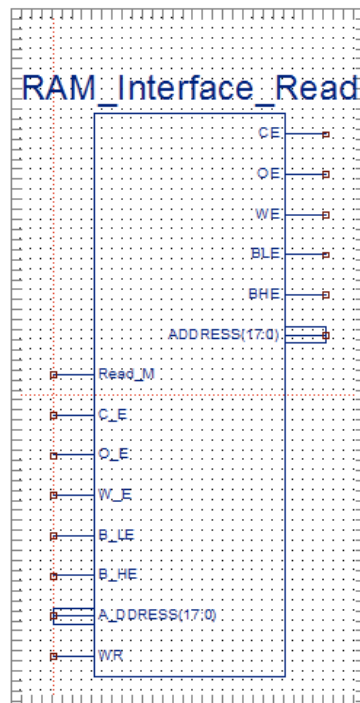
Figura 5.10. Diagramas de tiempos lectura RAM



Tomado de: <http://www.cypress.com/?docID=30361>

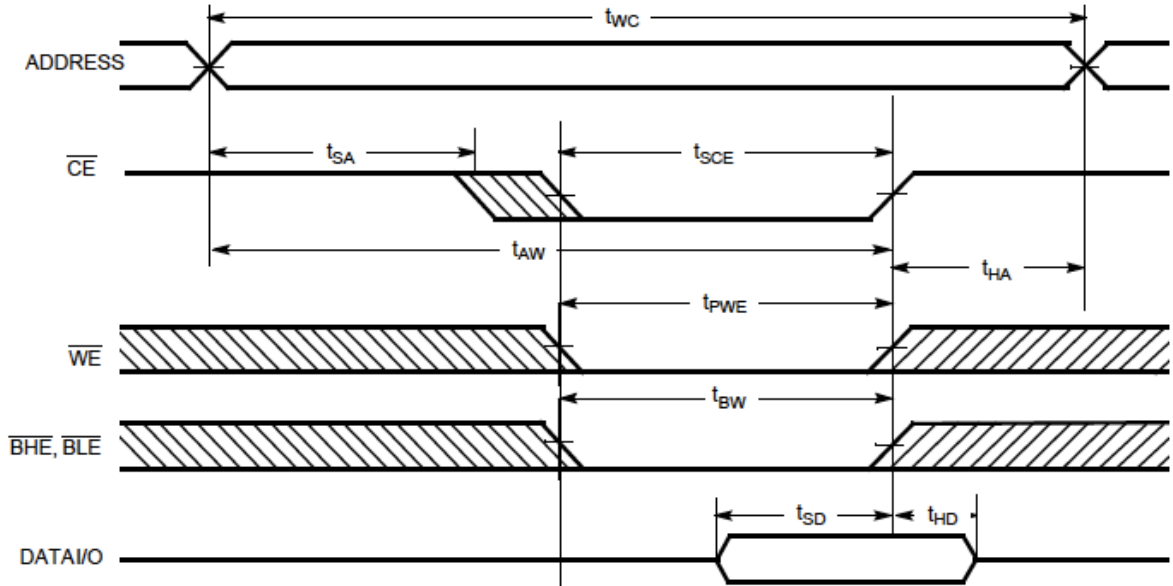
- ✓ Para probar la memoria RAM, con un Dipswitch externo de la tarjeta "Read_M" en alto se le da la orden de empezar a leer la memoria. Para esto solo es necesario habilitar la lectura y cambiar la dirección; los datos se van mostrando uno a uno.
- ✓ Se hace un contador que depende de "WR" con el fin de comparar el número de datos que se escribieron con el número que se van a leer. (si se escriben 20 datos, se leerán 20 y no 21 o 19 etc.). La lectura de la memoria es cíclica.

Figura 5.11. Modulo VHDL para Lectura RAM



5.6 INTERFAZ DE ESCRITURA RAM

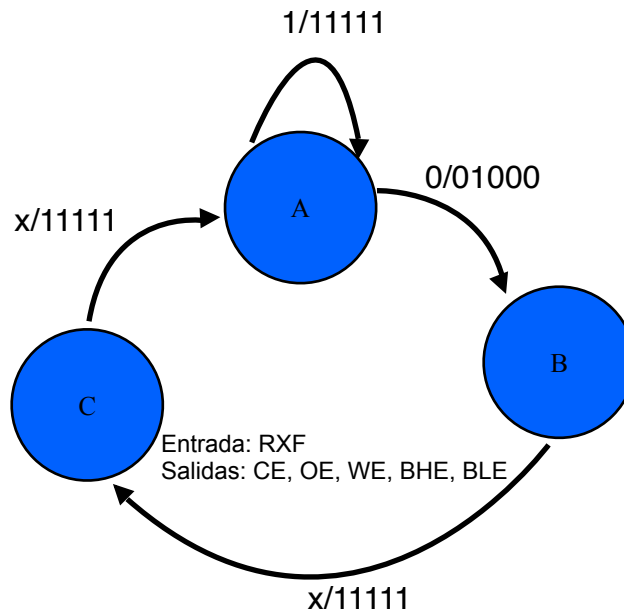
Figura 5.12. Diagramas de tiempos lectura RAM



Tomado de: <http://www.cypress.com/?docID=30361>

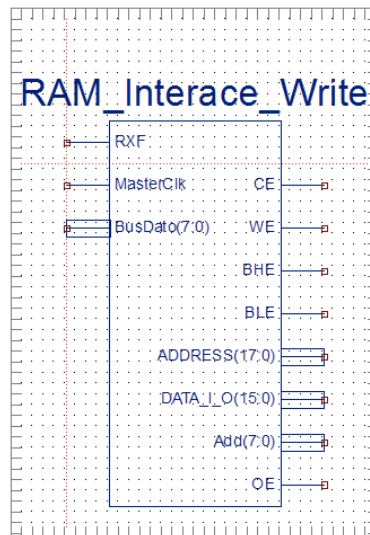
Es necesario la implementación de una máquina de Mealy para lograr la escritura de una secuencia de datos.

Figura 5.13. Máquina de estados Mealy para escribir la RAM



- ✓ Se cuentan los flancos de bajada de la señal RXF# (con el fin de contar el número de datos que se están descargando del “PC”). Este contador sirve también para el direccionamiento de la RAM.
- ✓ Si RXF esta en “bajo” significa que hay datos validos en el FTDI; de lo contrario este bus queda en alta impedancia “Z”.

Figura 5.14. Modulo VHDL para Escritura RAM



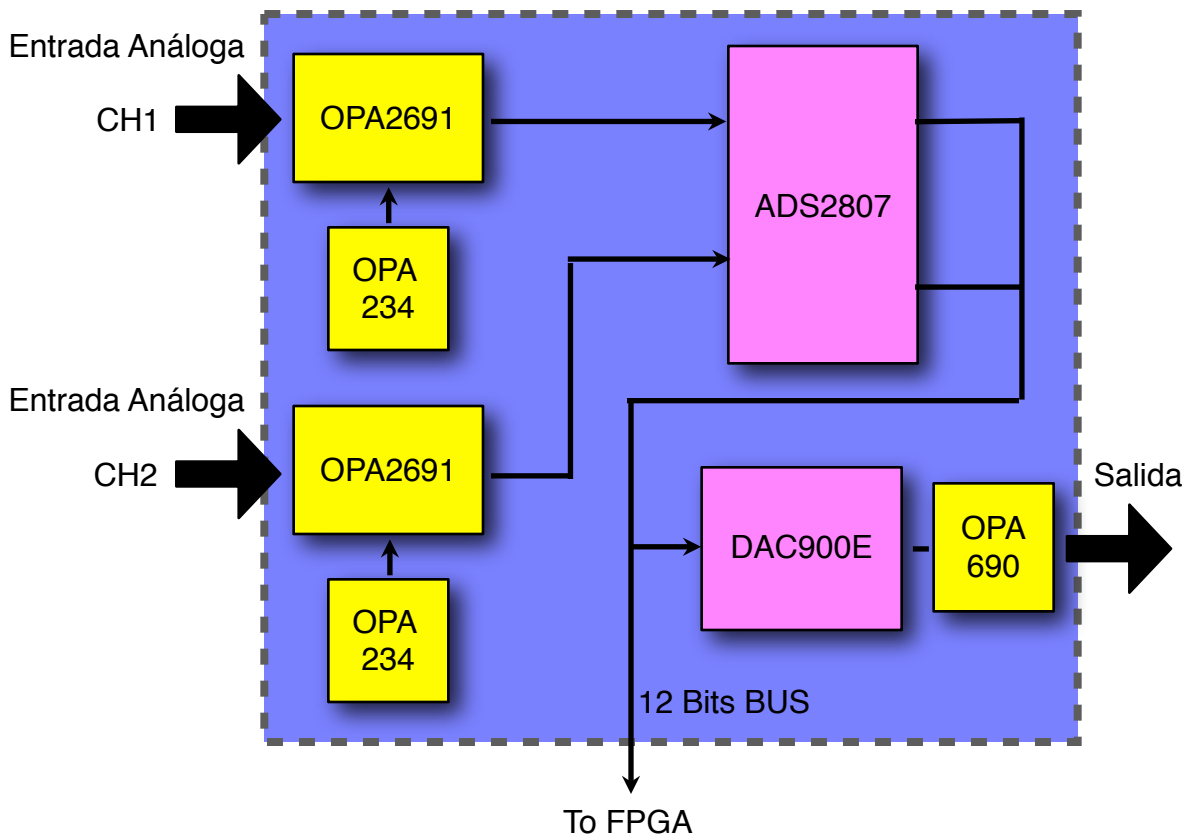
DISEÑO HARDWARE ETAPA 2

Para la etapa 2 se realizó el diseño del módulo encargado de realizar la conversión análogo-digital y digital-análogo, el cual se compone de ADS, DAC, algunos amplificadores operacionales encargados de acoplar señales y finalmente de una fuente inversora que es necesaria para el correcto funcionamiento de algunos amplificadores que componen el módulo.

6.1 DIAGRAMA EN BLOQUES

Siguiendo como referencias las hojas técnicas de cada uno de los componentes y teniendo en cuenta las necesidades de usuario, se realizó el diseño de la etapa 2, el cual complementa la etapa 1 y culmina el desarrollo de la tarjeta de adquisición y generación de datos.

Figura 6.1. Modulo Conversor



6.2 ESQUEMATICO EN PS ORCAD (etapa 2)

Se utilizaron los amplificadores OPA2691 y OPA234 para acoplar la señal de entrada al ADC, además de convertir el canal en entrada diferencial.

A la salida del DAC fue necesario convertir la salida de corriente en voltaje, para lo cual se utilizó un amplificador diferencial en configuración especial, en este caso OPA690.

Las salidas del ADC y entradas del DAC están conectadas a un mismo bus de datos. Esto es posible gracias al control que podemos hacer a estos dispositivos con el FPGA.

Figura 6.2. Esquemático 1 (Entrada Análoga CH1)

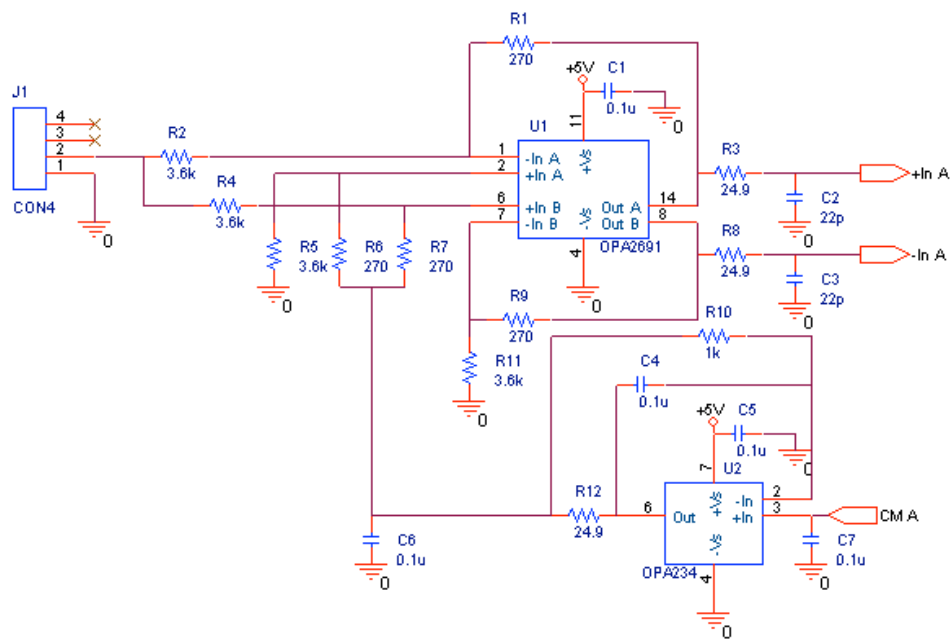


Figura 6.3. Esquemático 2 (Entrada Análoga CH2)

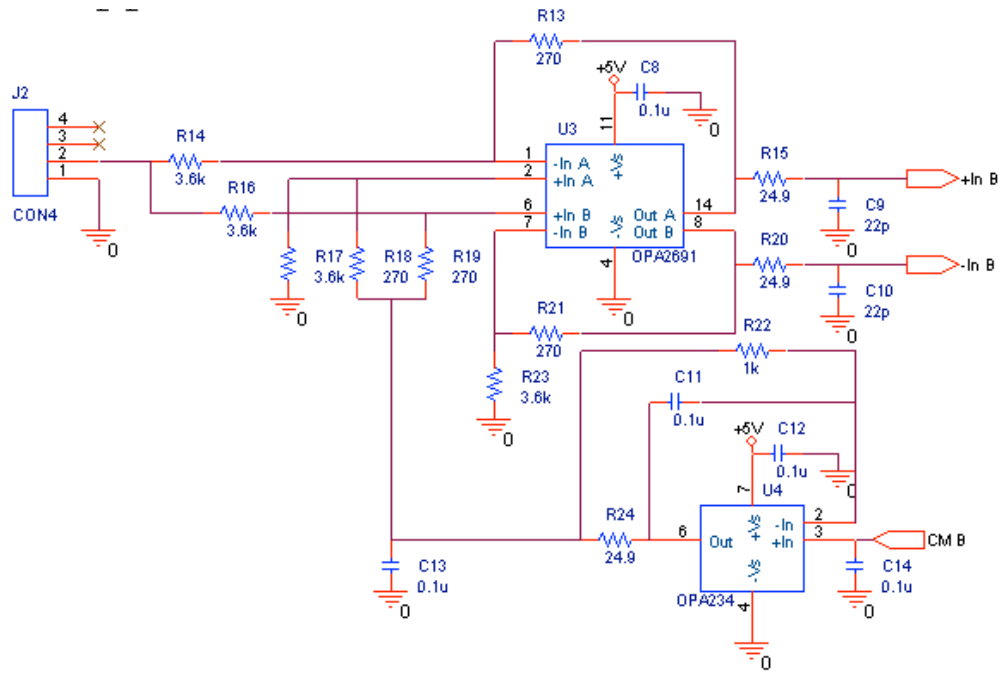


Figura 6.4. Esquemático 3 (ADC)

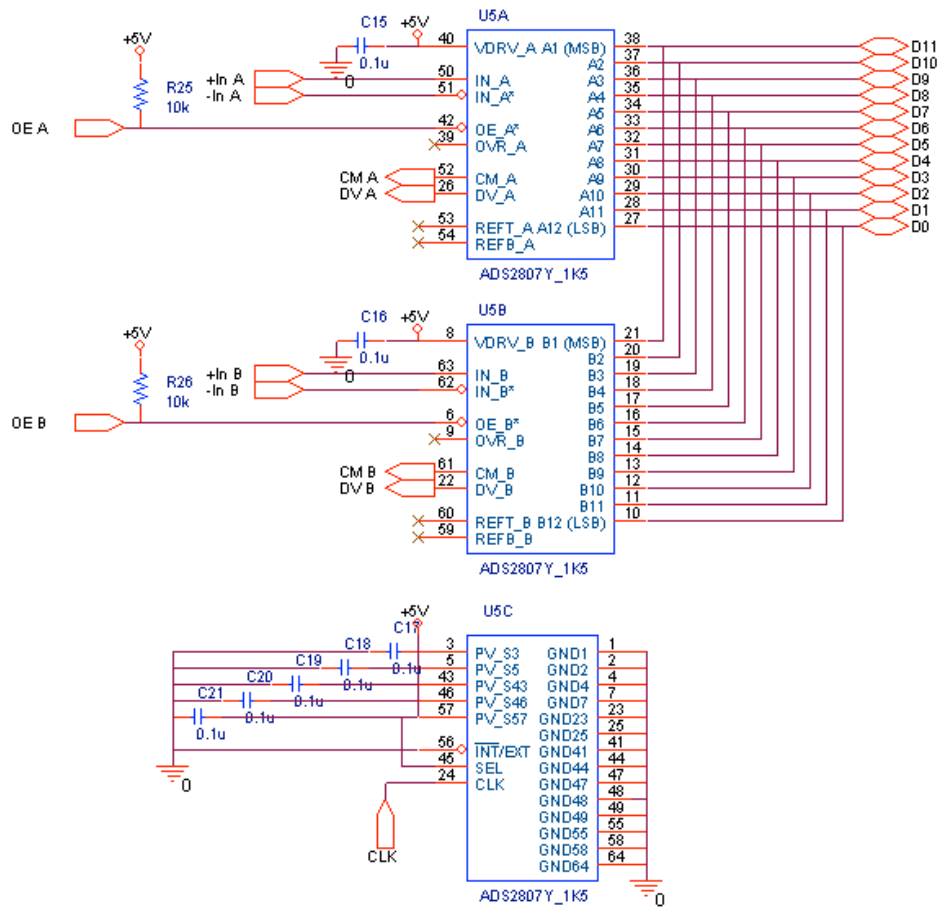


Figura 6.5. Esquemático 4 (DAC y Amplificador de Salida)

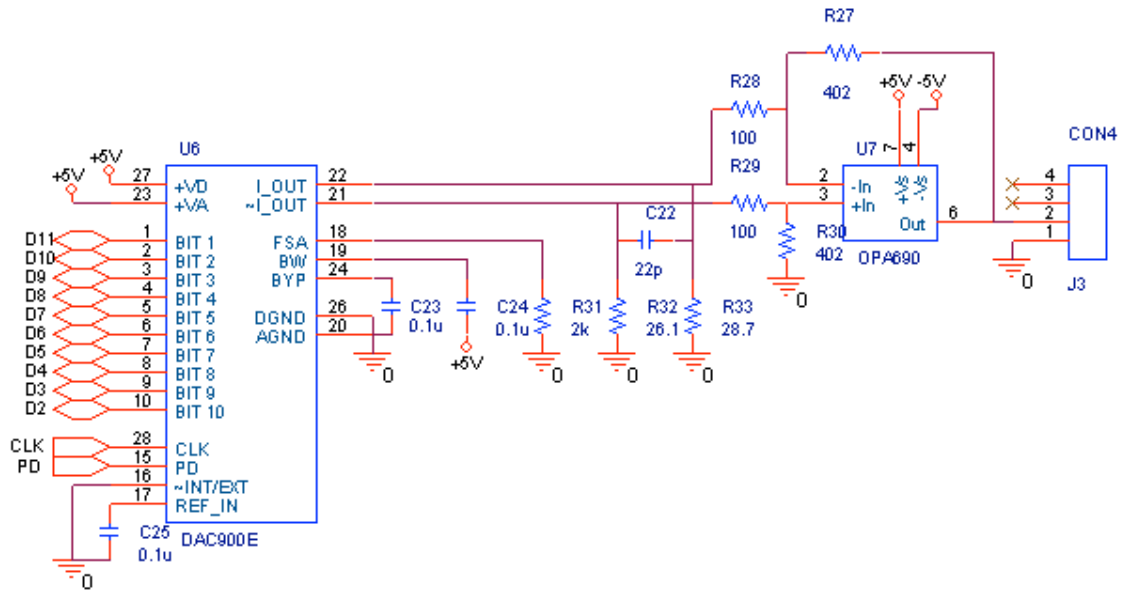
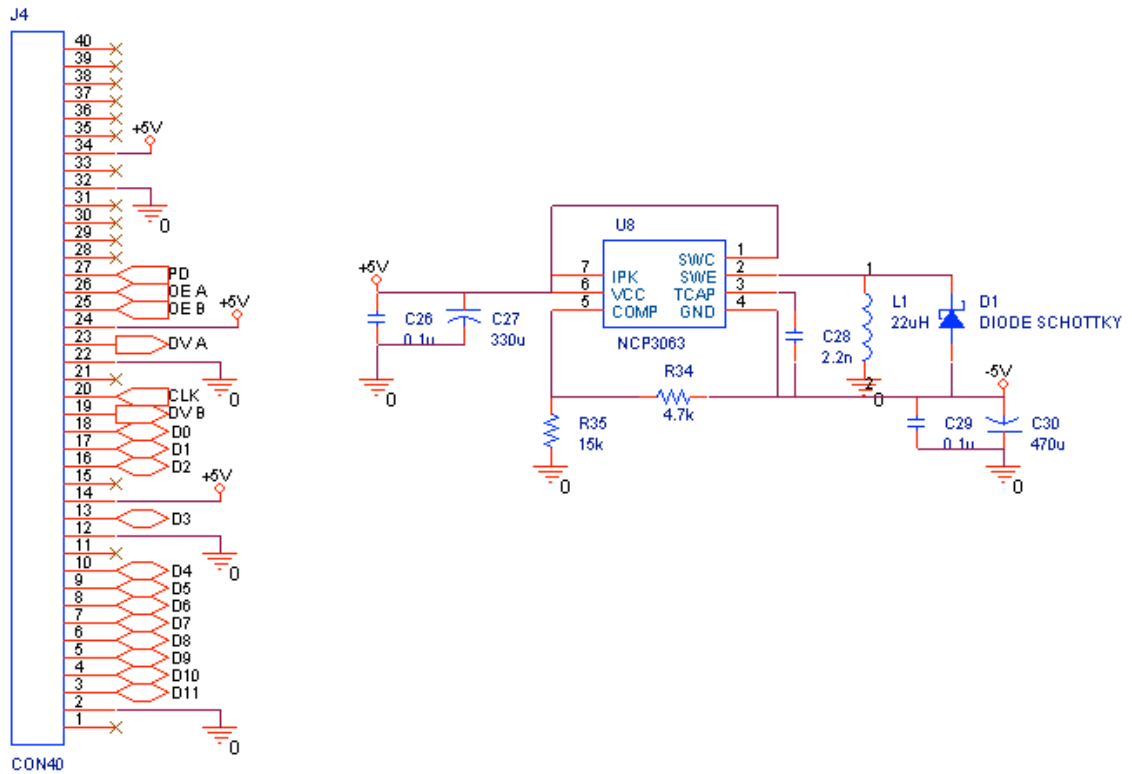


Figura 6.6. Esquemático 5 (Conector y Fuente Inversora)



6.3 DESARROLLO PCB, FOOTPRINTS Y RUTEO (etapa 2)

Figura 6.7. Top Layer (Etapa 2)

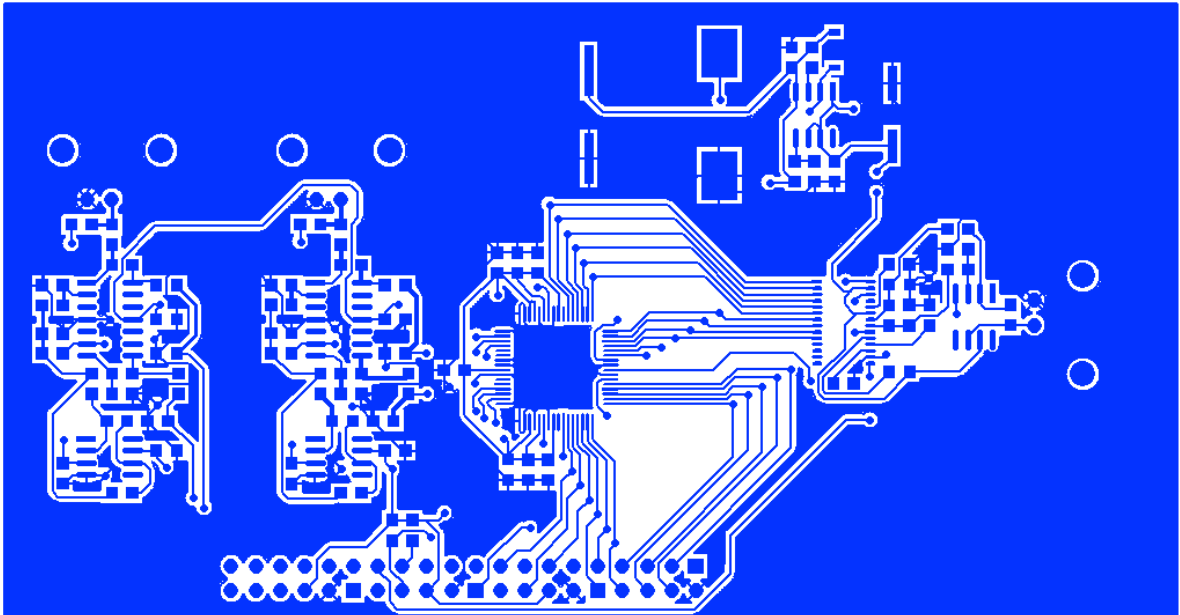


Figura 6.8. Bottom Layer (Etapa 2)

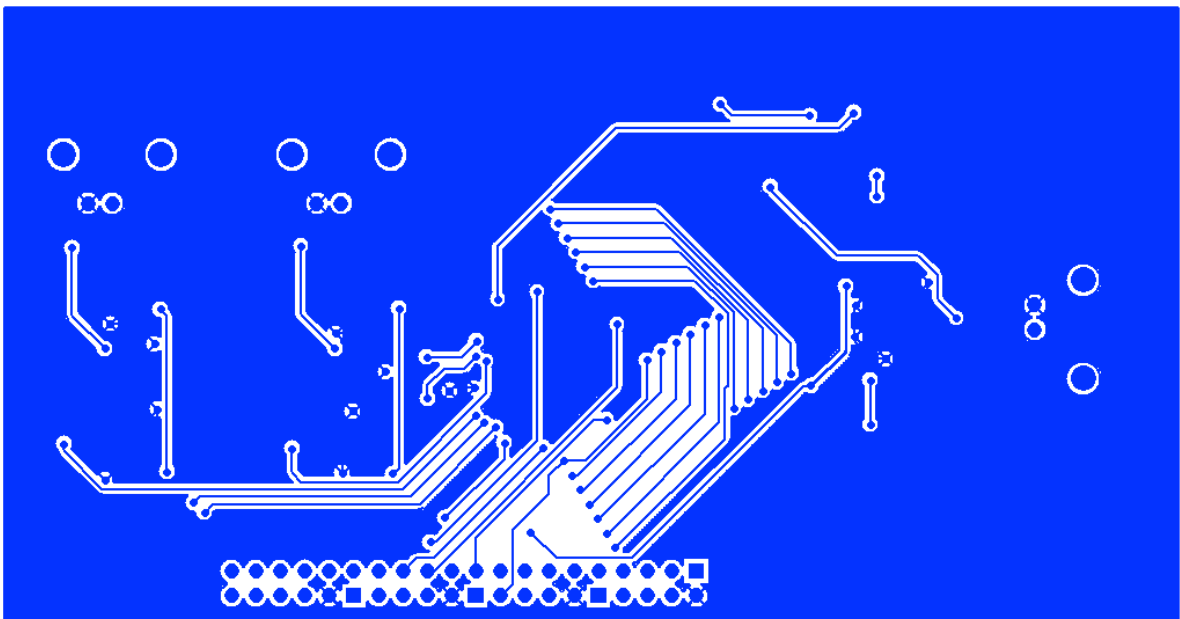
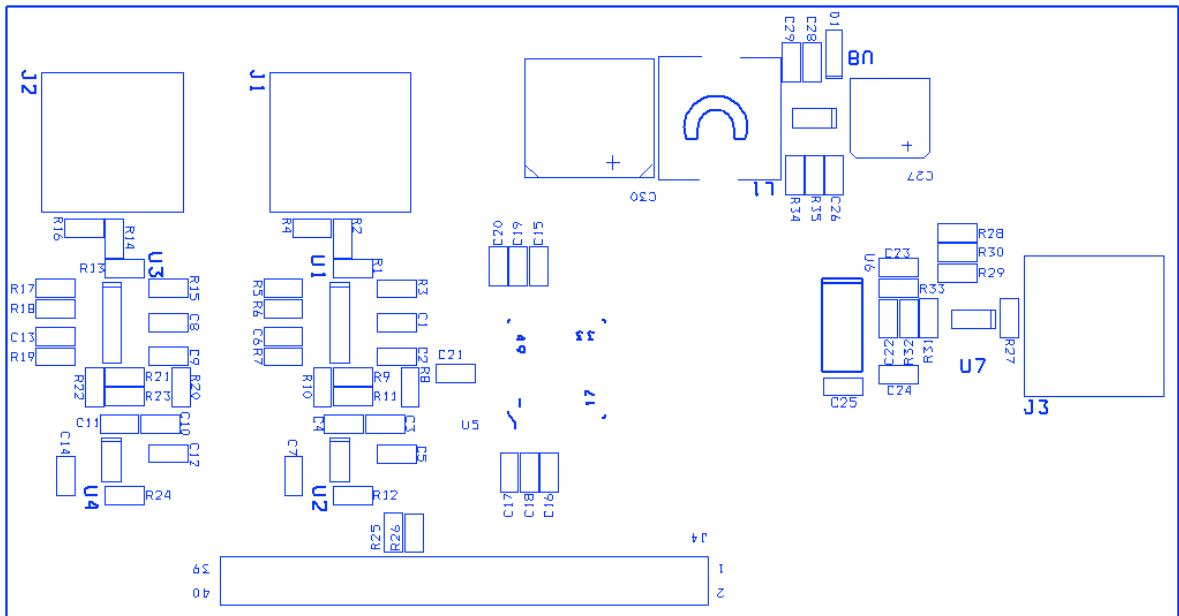
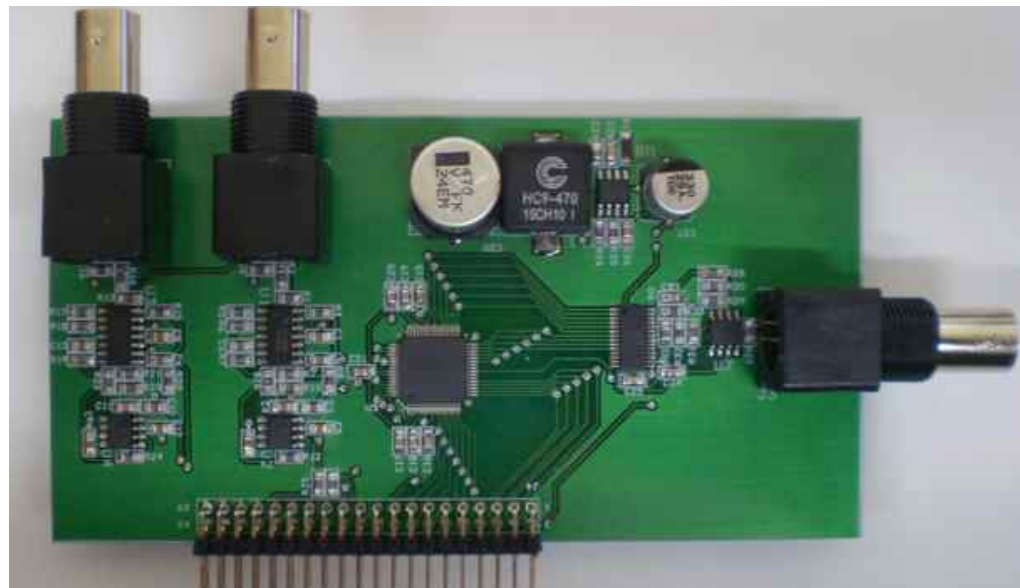


Figura 6.9. Silkscreen Top Layer (Etapa 2)



6.4 ENSAMBLE Y DESCRIPCION (etapa 2)

Figura 6.10. Tarjeta (Etapa 2)

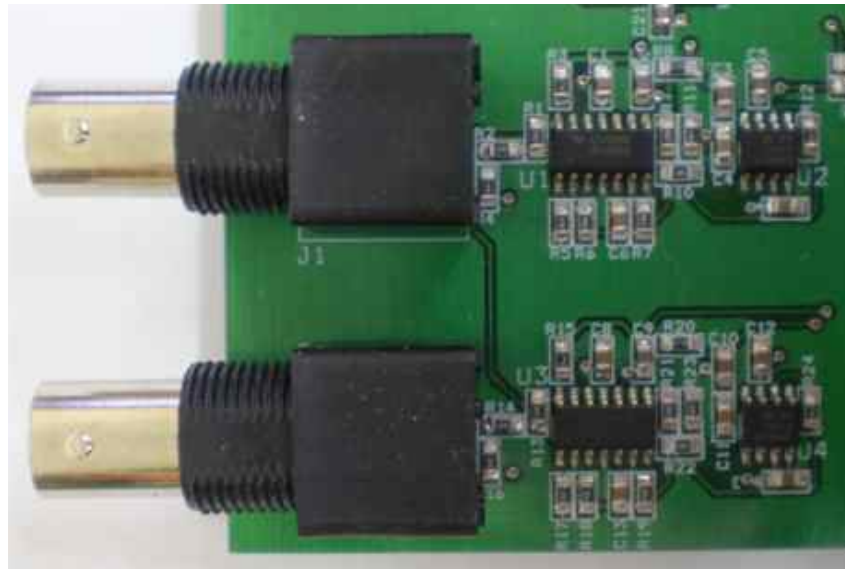


6.4.1 Entradas Análogas (CH1 y CH2)

Esta sección esta conformada principalmente por 4 integrados de referencias OPA 2691 (2) y OPA 234 (2) respectivamente, son los encargados de acoplar las señales de entrada al conversor ADC.

Por cada canal se encuentra una configuración amplificadora no inversora de ganancia ($A=0,075$) esto nos permite tener una entrada por canal de hasta 10Vp.

Figura 6.11. Canales de entrada (CH1 y CH2)

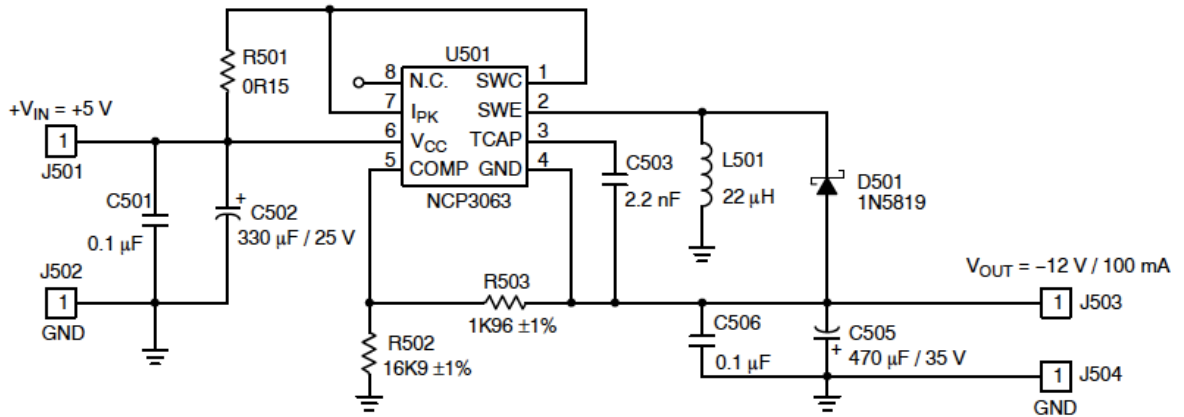


6.4.2 Fuente Inversora

Debido a que algunos de los amplificadores operacionales con lo que se realizó este módulo requieren de doble polarización, fue necesario la implementación de una fuente inversora que pudiera suministrar $-V_{cc}$ y así garantizar el óptimo funcionamiento de los mismos.

Se implementó una fuente inversora con el circuito integrado NCP3063 del fabricante ON Semiconductor. Su diseño se tomó directamente de la respectiva hoja técnica del fabricante.

Figura 6.12. Esquema Típico de Tensión, Aplicación Inversora



Tomado de: http://www.onsemi.com/pub_link/Collateral/NCP3063-D.PDF

Figura 6.13. Fuente Inversora



6.4.3 Salida Análoga

Esta parte de la tarjeta esta conformada por un circuito integrado de polarización dual OPA690 del fabricante Texas Instruments, en una configuración de amplificador no inversor, con una ganancia de $A= 4$. Esto hace posible que la salida pueda entregar un voltaje de 2Vpp a altas frecuencias.

Figura 6.14. Salida Analógica



6.4.4 Puerto J1 (etapa 2)

Puerto destinado para la interacción entre ambas etapas de la tarjeta, por medio de este puerto se accede directamente a pines de control de ambos conversores tanto ADC como DAC y a sus correspondientes buses de datos, para finalmente crear una conexión directa hacia el FPGA.

Figura 6.15. Puerto J1 (etapa 2)

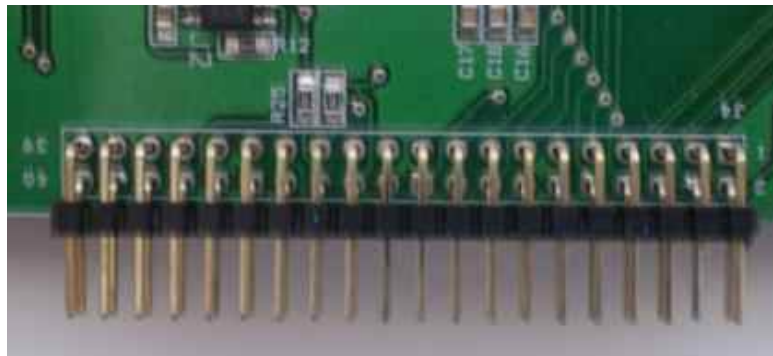


Tabla 6.1. PinOut conector J1 (etapa 2)

Modulo Conversor	Pin FPGA	Conector		Pin FPGA	Modulo Conversor
NC	P64	1	2	P62	NC
NC	P41	3	4	P44	NC
NC	P42	5	6	P45	NC
NC	P43	7	8		+5V
NC		9	10		GND
NC	P48	11	12	P46	NC
PD	P49	13	14	P47	NC
OE B	P51	15	16	P50	OE A
DV A	P63	17	18		+5V
NC		19	20		GND
DV B	P68	21	22	P70	CLK
D1	P69	23	24	P53	D0
NC	P21	25	26	P19	D2
D3	P10	27	28		+5V
NC		29	30		GND
D5	P25	31	32	P24	D4
D7	P29	33	34	P27	D6
D9	P30	35	36	P28	D8
D11	P32	37	38	P31	D10
NC	P35	39	40		GND

CONCLUSIONES

- Se logró diseñar una tarjeta que permite la generación y adquisición de señales análogas y digitales a través de puerto serie universal desde PC bajo las siguientes condiciones:

Adquisición		
Máxima Velocidad de muestreo	Máxima Velocidad de captura	Velocidad de adquisición protocolo USB
25 MHz	25 MHz	300kbps

Generación		
Máxima Velocidad de generación	Máxima velocidad de grabación en RAM	Velocidad de descarga de datos hacia la tarjeta
12.5 MHz	Limitado a la mitad de la velocidad de comunicación protocolo USB	300kbps
Generando dos muestras		Limitado a la velocidad del protocolo USB

- Fue posible establecer una comunicación bidireccional entre el sistema desarrollado y el PC por medio del protocolo de comunicación USB.
- El lenguaje de descripción de hardware VHDL se utilizó para la programación del FPGA que controla el sistema desarrollado.
- El sistema desarrollado tiene la capacidad de generar y adquirir señales.
- Se realizaron manuales de usuario para el uso de la tarjeta en ambos modos, tanto en adquisición como en generación, los cuales vienen como anexos a este trabajo junto con dos vídeos demostrativos que explican el funcionamiento del sistema en ambos modos.

REFERENCIAS

- [1] MAXINEZ, David G. "VHDL: El arte de programar sistemas digitales". México: CECSA; Grupo Patria Cultural, Editorial Continental, Primera Edición 2002.
- [2] Proveedor de la interfaz USB FT245R, controladores y documentación. <http://www.ftdichip.com>
- [3] Datasheet dispositivo: FT245R USB FIFO I.C. Corporación FTDI Chip (Future Technology Devices International Ltd).
- [4] FLOYD, Thomas, "Fundamentos de Sistemas Digitales". Madrid: Prentice Hall, Séptima edición. 2000.
- [5] Datasheet dispositivo: XC3S50A, XCF01S, documentación. <http://www.xilinx.com>.
- [6] Datasheet dispositivo: CY7C1041DV33, documentación. <http://www.xilinx.com>.
- [7] Datasheet dispositivos: ADS2807, OPA2691, OPA234, DAC900E, OPA690, documentación. <http://www.ti.com>.

GLOSARIO

A continuación se exponen algunas palabras que son necesarias entenderlas en un contexto técnico diferente al común y así lograr la comprensión de este trabajo.

MatLab: Software de desarrollo especializado para ingenieras, que permite la creación de diversas aplicaciones para el análisis de datos entre muchas otras tareas.

LabView: Plataforma de diseño del sistema y entorno de desarrollo para un lenguaje de programación visual de National Instruments.

Interfaz: es la conexión entre dos ordenadores o máquinas de cualquier tipo dando una comunicación entre distintos niveles.

Tarjeta: Placa de fibra de vidrio recubierta de cobre, en la cual se colocan una cantidad de componentes electrónicos para trabajar conjuntamente y realizar una tarea específica.

Hardware: corresponde a todas las partes tangibles de un sistema informático; sus componentes son: eléctricos, electrónicos, electromecánicos y mecánicos.

Software: equipamiento lógico o soporte lógico de un sistema informático, comprende el conjunto de los componentes lógicos necesarios que hacen posible la realización de tareas específicas, en contraposición a los componentes físicos, que son llamados hardware.

Muestreo: el muestreo es uno de los pasos para digitalizar una señal analógica, el otro es la codificación.

Señal analógica: Señal eléctrica analógica es aquella en la que los valores de la tensión o voltaje varían constantemente en forma de corriente alterna, incrementando su valor con signo eléctrico positivo (+) durante medio ciclo y disminuyéndolo a continuación con signo eléctrico negativo (-) en el medio ciclo siguiente.

Señal digital: La señal digital es un tipo de señal generada por algún tipo de fenómeno electromagnético en que cada signo que codifica el contenido de la misma puede ser analizado en término de algunas magnitudes que representan valores discretos, en lugar de valores dentro de un cierto rango. Por ejemplo, el

interruptor de la luz sólo puede tomar dos valores o estados: abierto o cerrado, o la misma lámpara: encendida o apagada.

Modulo: En programación un módulo es una porción de un programa de computadora. De las varias tareas que debe realizar un programa para cumplir con su función u objetivos, un módulo realizará, comúnmente, una de dichas tareas (o varias, en algún caso).

Maquina: En la teoría de la computación, una Máquina de Mealy es un tipo de máquina de estados finitos que genera una salida basándose en su estado actual y una entrada. Esto significa que el Diagrama de estados incluirá ambas señales de entrada y salida para cada línea de transición.